Relatório de Aplicação

SLVA001E– Revisado em Setembro de 2011

Projetando reguladores de tensão de comutação com o TL494

Patrick Griffith | **Tradução: Herbert Lopes** | Linear Padrão Lógica

RESUMO

O controlador de alimentação TL494 é discutido em detalhes. Uma visão geral da arquitetura TL494 apresenta os blocos funcionais primários contidos no dispositivo. Um estudo aprofundado da inter-relação entre os blocos funcionais destaca a versatilidade e limitações do TL494. A utilidade do controlador de alimentação TL494 também é demonstrada através de várias aplicações básicas e um design exemplo está incluído para uma fonte de alimentação 5-V/10-A.

Conteúdo

Lista de Imagens

Lista de Tabelas

1 Introdução

Os circuitos integrados monolíticos para o controle de fontes de alimentação de comutação tornaram-se generalizados desde sua introdução na década de 1970. O TL494 combina muitos recursos que anteriormente exigiam vários circuitos de controle diferentes. O objetivo deste relatório de aplicação é dar ao leitor uma minuciosa compreensão do TL494, suas características, suas características de desempenho e suas limitações.

2 O Dispositivo Básico

O design do TL494 não só incorpora os blocos de construção primários necessários para controlar uma fonte de alimentação chaveada, mas também aborda muitos problemas básicos e reduz a quantidade de circuitos adicionais necessário no projeto total. Figura 1 é um diagrama de bloco do TL494.

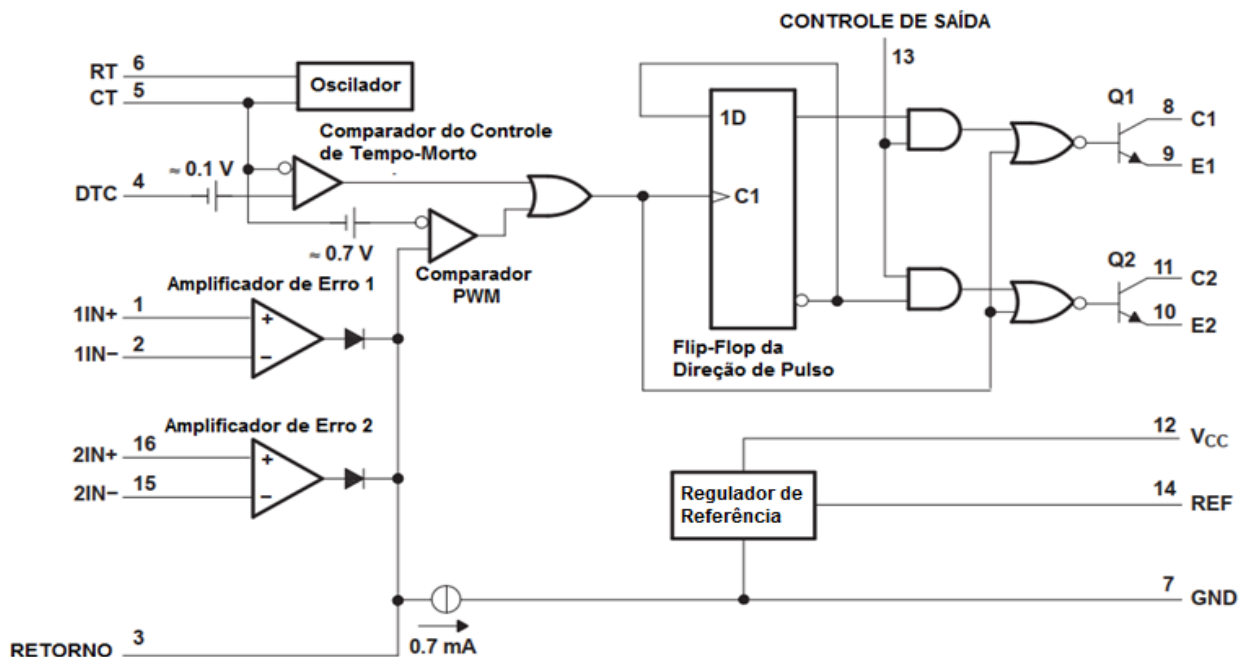



Figura 1. Diagrama de Blocos TL494

3 Princípio de Operação

O TL494 é um circuito de controle de modulação de largura de pulso (PWM) de frequência fixa. A Modulação dos pulsos de saída é realizada comparando a forma de onda de dente-de-serra criada pelo oscilador interno com frequência definida pelo capacitor (CT) com qualquer um dos dois sinais de controle. A etapa de saída varia o tempo em que permanece em nível alto, alargando o tempo em nível alto quando a tensão cai e estreitando o mesmo nível alto quanto a tensão de controle sobe. À medida que a voltagem de controle aumenta, o tempo durante o qual a tensão dente-de-serra está alto diminui; portanto, a duração do pulso de saída diminui. Um par de flip-flops de direção de pulso direciona o pulso modulado alternadamente para cada um dos dois transistores de saída. A Figura 2 mostra a relação entre os pulsos e os sinais.

Os sinais de controle são derivados de duas fontes: o circuito de controle de tempo-morto (tempo inativo) e o amplificador de erro. A entrada de controle de tempo morto é comparada diretamente pelo comparador de controle DTC. Este comparador tem um deslocamento fixo de 100 mV. Com a entrada de controle devidamente ajustada em relação à terra (biased), a saída é inibida durante o tempo em que a forma de onda dente-de-serra está abaixo de 110 mV. Isso fornece um tempo morto predefinido de aproximadamente 3%, que é o tempo morto mínimo que pode ser programado. O comparador PWM compara o sinal de controle criado pelos amplificadores de erro. Uma função do amplificador de erros é monitorar a tensão de saída e fornecer ganho suficiente para que quaisquer milivolts de erro em sua entrada resultem em um sinal de controle de amplitude suficiente para fornecer controle de modulação 100%. Os amplificadores de erro também podem ser usados para monitorar a corrente de saída e fornecer limitação de corrente à uma determinada carga.

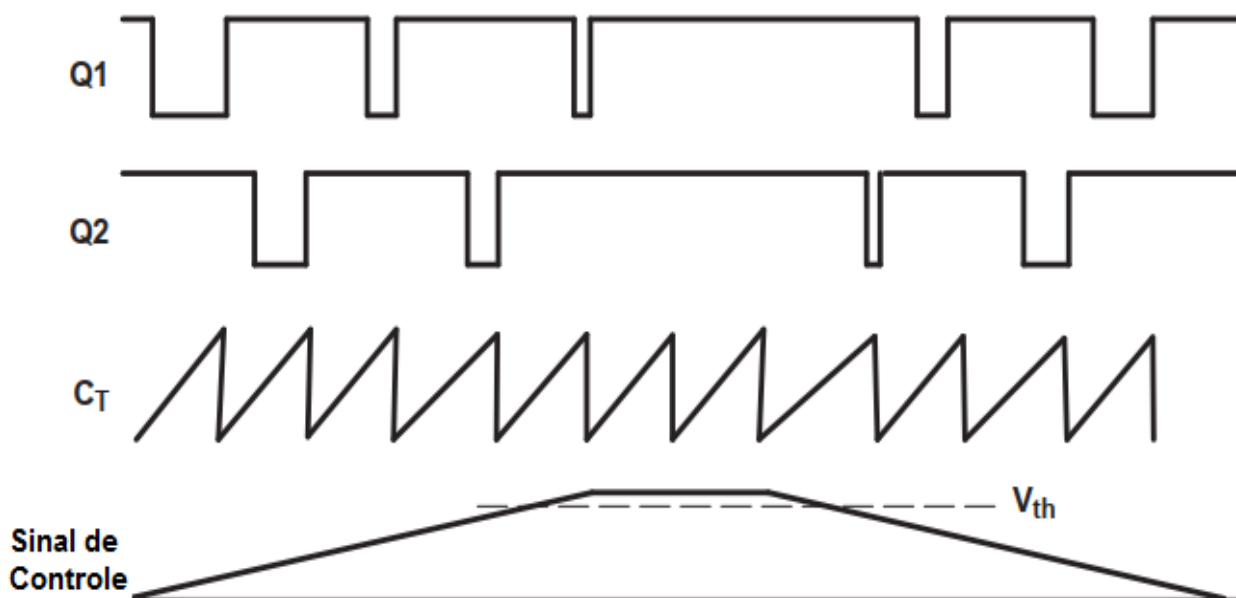



Figura 2 - Técnica de Modulação do TL494

3.1 *O Regulador de Referência de 5 Volts*

O regulador de referência interno 5-V TL494 é mostrado na Figura 3. Além de fornecer uma voltagem de referência estável, age como um pré-regulador e disponibiliza uma referência estável a partir da qual a lógica de controle de saída, flip-flop, oscilador, comparador de controle de tempo morto e comparador PWM são alimentados. O regulador emprega um circuito de lacuna de banda como sua principal referência para manter a estabilidade térmica com variação de menos de 100 mV sobre a faixa de temperatura do ambiente de operação de 0°C a 70°C. Uma proteção contra curto-circuito é fornecida para proteger a referência interna e o pré-regulador; 10 mA de corrente de carga está disponível para adicional circuitos de ajuste(bias). A referência é programada internamente para uma precisão inicial de ±5% e mantém uma estabilidade de variação inferior a 25 mV sobre uma faixa de tensão de entrada de 7 V a 40 V. Para tensões de entrada inferiores a 7 V (como os famosos 5 volts TTL), o regulador satura dentro de 1 V da entrada e passa a monitorá-lo (ver Figura 4).

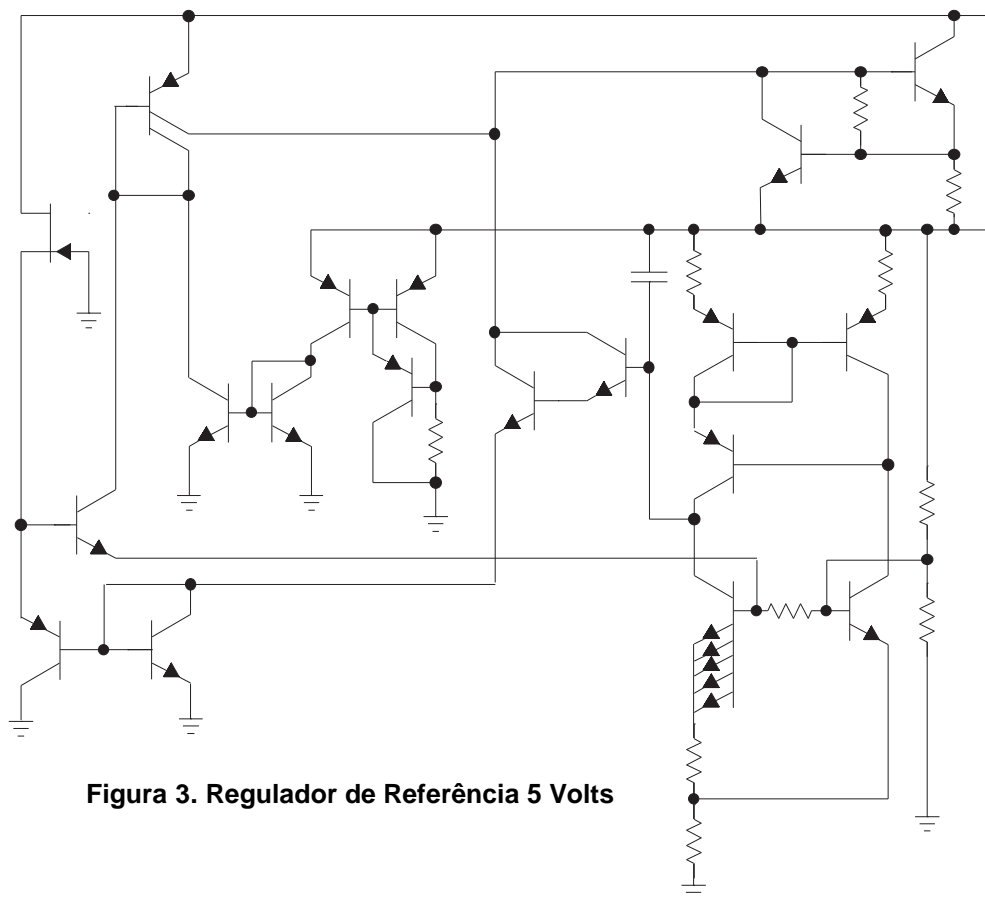



Figura 3. Regulador de Referência 5 Volts

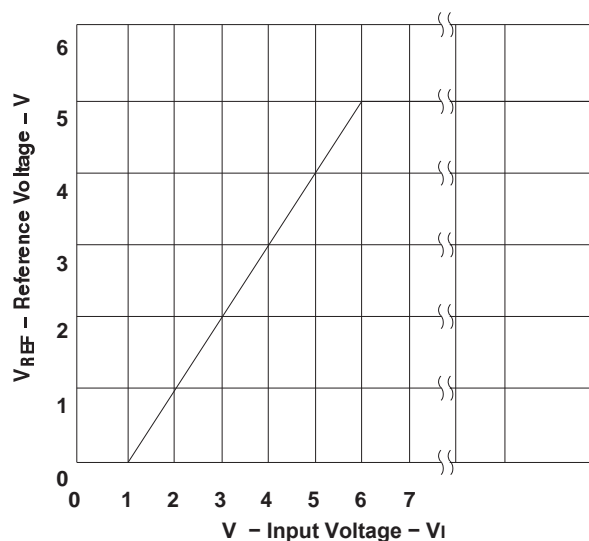



Figura 4. Voltagem de Referência X Voltagem de Entrada

3.2 Oscilador

Um esquema do oscilador interno TL494 é mostrado na Figura 5. O oscilador fornece uma forma de onda dente-de-serra positiva para os comparadores de tempo morto e PWM para comparação com os vários sinais de controle.

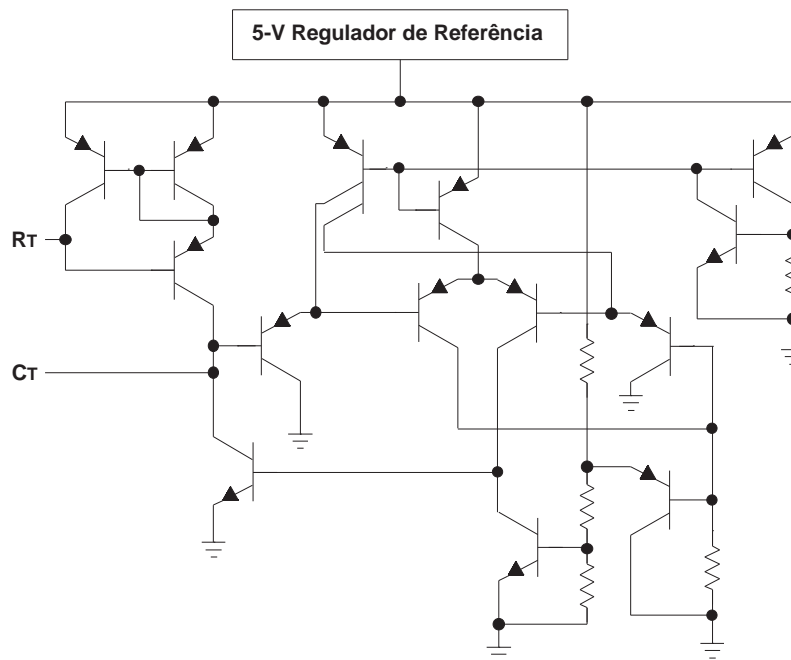



Figura 5. Esquema do Oscilador Interno

3.2.1 Frequência de Operação

A frequência do oscilador é programada selecionando os componentes de tempo RT e CT. O oscilador carrega o capacitor de cronometragem externa, CT, com uma corrente constante, cujo valor é determinado pelo resistor de tempo externo, RT. Isso produz uma forma de onda de tensão de rampa linear. Quando a tensão através do capacitor atinge 3 V, o circuito oscilador descarrega-o, e o ciclo de carregamento é reiniciado. A corrente de carregamento é determinada pela fórmula:

$$I_{CARGA} = \frac{3\ V}{R_T} \qquad (1)$$

O período da onda dente-de-serra é:

$$T = \frac{3\ V \times C_T}{I_{CHARGE}} \qquad (2)$$

A frequência do oscilador se torna:

$$f_{OSC} = \frac{1}{R_T \times C_T} \qquad (3)$$

No entanto, a frequência oscilante é igual à frequência de saída apenas para aplicações com transistor único (single ended). Durante aplicações com dois transistores acoplados (push-pull), a frequência de saída é metade da frequência osciladora. O pino 13 do TL494 define o tipo de saída que pretendemos usar, nível alto para push-pull e baixo para single-ended.

Aplicações de transistor único:

Aplicações Single-Ended:

$$f = \frac{1}{R_T \times C_T} \tag{4}$$

Aplicações Push-Pull :

$$f = \frac{1}{2R_T \times C_T} \tag{5}$$

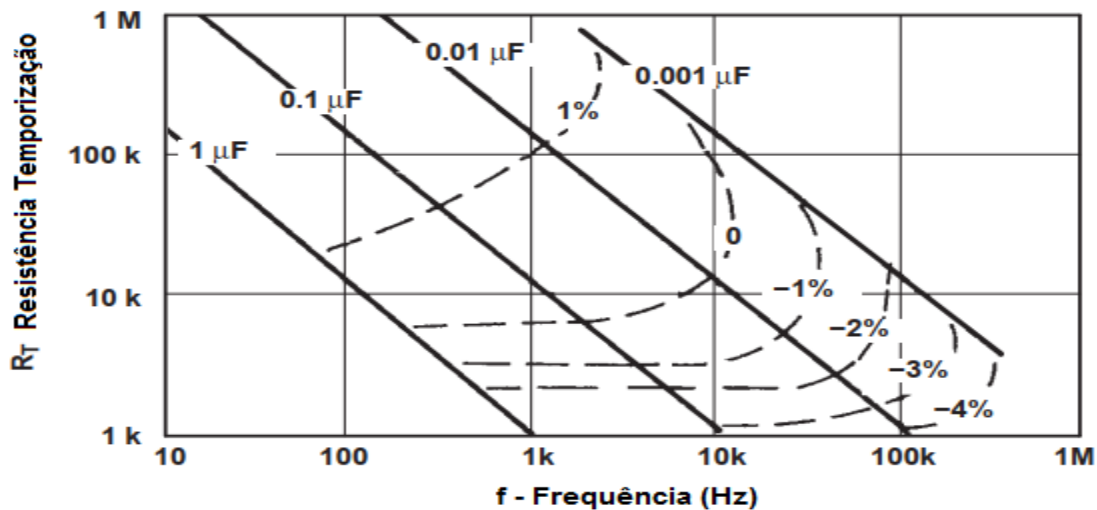
O oscilador é programável em uma faixa de 1 kHz a 300 kHz.Em termos práticos para o leque de opções de valores para R_T e C_T , teríamos valores de 1 kΩ a 500 kΩ e 470 pF a 10 μF, respectivamente. Um gráfico da frequência oscilante R_T X C_T é mostrado na Figura 6. A estabilidade do oscilador para temperaturas ambiente variando de 0°C a 70°C para vários faixas de R_T e C_T também é mostrado na Figura 6.

A porcentagem da variação da frequência oscilante sobre a faixa de temperatura do ar livre de 0°C a 70°C é representada por linhas

Figura 6 - Oscilador de Frequência X R_T / C_T

3.2.2 Operação Acima de 150 kHz

Em uma frequência de operação de 150 kHz, o período do oscilador é de 6,67 µs. O tempo morto estabelecido pela compensação interna do comparador em tempo morto (período de ~3%) produz um pulso “em branco” de 200 ns. Este é o pulso em branco mínimo aceitável para garantir a comutação adequada do flip-flop de direção de pulso, pois nossos componentes não se comportam de forma ideal e portanto tem retardos na saturação e corte. Durante frequências acima de 150 kHz, tempo-morto adicional (acima de 3%) é fornecido internamente para garantir o devido acionamento e a espera para chaveamento do flip-flop de direção de pulso interno. A figura 7 mostra a relação interna do tempo morto (expresso em porcentagem) para vários valores de R_T e C_T.

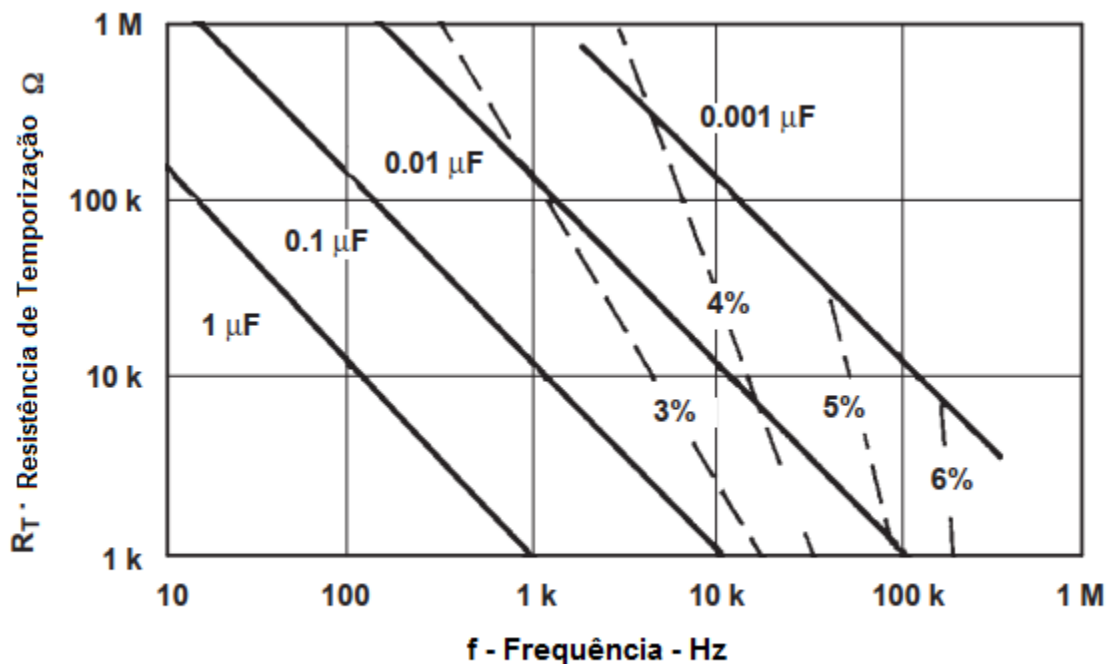



Figura 7. Variação do Tempo-Morto X R_T/C_T

3.3 *Controlador de Tempo-Morto / Comparador PWM*

As funções do comparador de tempo morto e do comparador PWM são incorporadas em um único circuito comparativo (ver Figura 8). As duas funções são totalmente independentes, portanto, cada função será discutida separadamente.

V_I

Regulador Referência 5 Volts

V_{REF}

Flip-Flop

Q1

Q2

See Note A

5

C_T

Controle de Tempo-Morto

4

Amplificadores de Erro

Retorno

3

A Internal offset

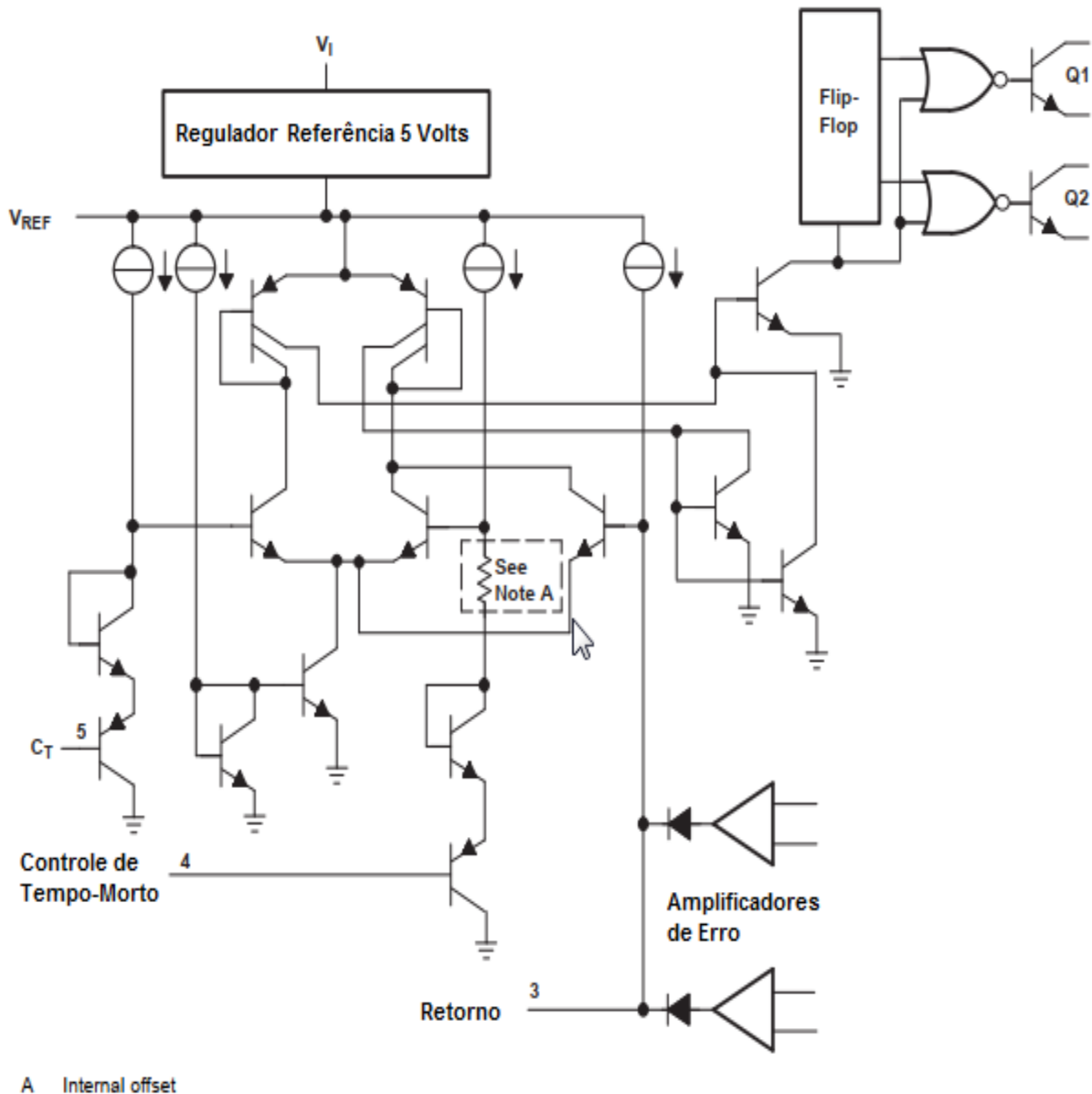



Figura 8. Controle de Tempo-Morto / Comparador PWM

3.3.1 Controle de Tempo-Morto

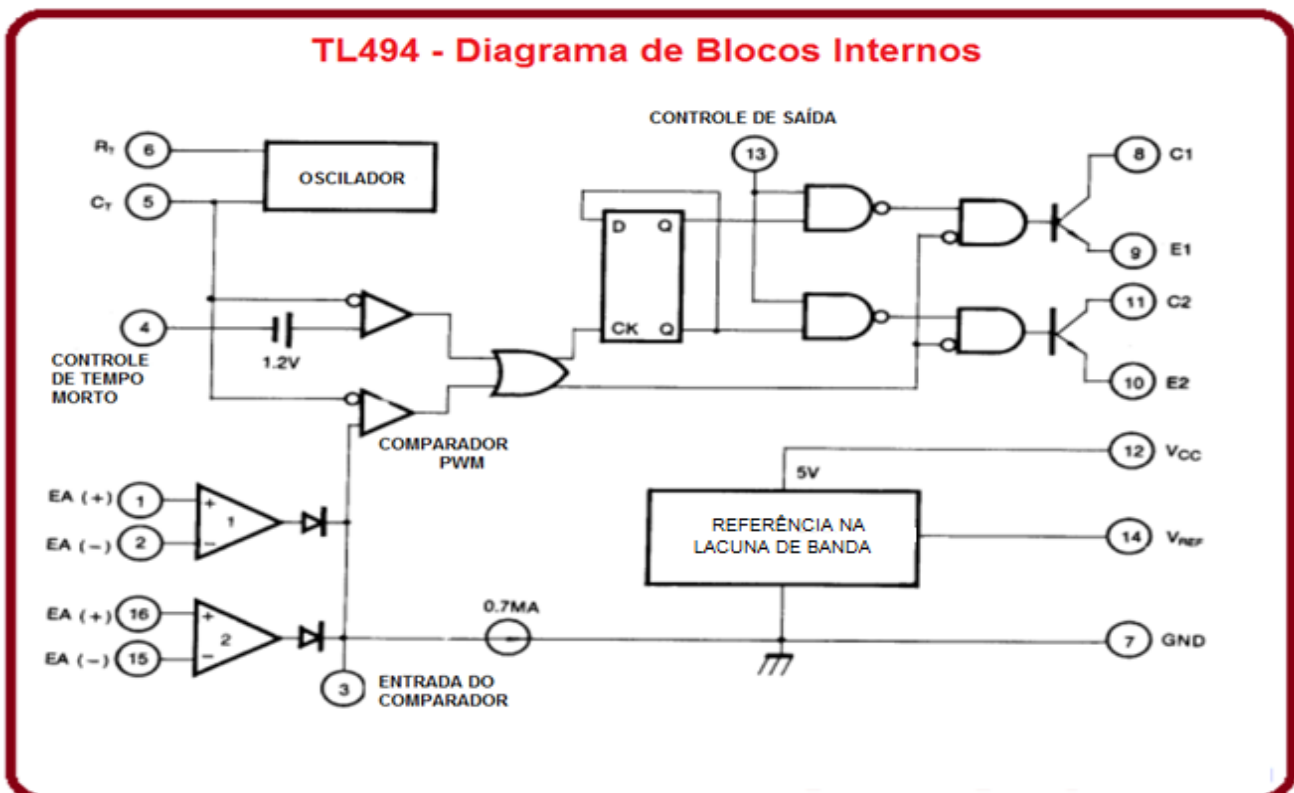
Tempo morto (ou dead-time) é o pequeno tempo de margem ou folga durante o ciclo de chaveamento dos transistores de potência – e naturalmente só faz sentido quando estamos trabalhando com dois transistores em push-pull – onde ambos os transistores são cortados a fim de impedir que ocorra eles estarem ambos saturados ao mesmo tempo – o que provocaria um curto na fonte.

A entrada de controle em tempo morto fornece controle do tempo morto mínimo (ou tempo de folga). A saída do comparador inibe a troca de transistores Q1 e Q2 quando a tensão na entrada é maior que a rampa tensão do oscilador (ver Figura 28). Uma compensação interna de 110 mV garante um tempo morto mínimo ~3% com a entrada de controle em tempo morto aterrada. Aplicando uma tensão à entrada de controle em tempo morto podemos impor mais tempo morto. Isso fornece um controle linear do tempo morto de seu mínimo de 3% para 100% como a tensão de entrada também irá variar de forma proporcional, de 0 V a 3,3 V, situação em que o tempo-morto seria de 100%. Pode não parecer, mas esse recurso pode ser fundamental quando estivermos operando com transistores ou diodos mais lentos. Com controle de alcance completo, a saída pode ser controlada a partir de fontes externas sem interromper o funcionamento dos amplificadores de erro. A entrada de controle em tempo morto é uma entrada de relativamente alta.

3.3.2 Comparador

O comparador é aferido pelo regulador de referência 5-V. Isso fornece isolamento da fonte de entrada e contribui para melhorar a estabilidade. A entrada do comparador não funciona por histerese, então é necessário nos precavermos contra falsos disparos quando estivermos próximos do limiar de condução ou corte. O comparador tem um tempo de resposta de 400 ns para qualquer das entradas de sinal de controle até chegar aos transistores de saída, com apenas 100 mV de sobretensão. Isso assegura um controle da saída positivo dentro de um meio-ciclo da operação na faixa recomendada de 300 kHz.

3.3.3 Modulação por Largura de Pulso (PWM)

O comparador também fornece controle de modulação da largura do pulso de saída. Para isso, a tensão da rampa através do capacitor de temporização C_T é comparado com o sinal de controle presente na saída dos amplificadores de erro. A entrada do capacitor de temporização incorpora um diodo em série que é omitido da entrada do sinal de controle. Este requer que o sinal de controle (saída do amplificador de erro) seja ~0,7 V maior que a tensão através do capacitor C_T para inibir a lógica de saída, e garante a operação máxima do ciclo ativo (duty-cycle) sem exigir que a tensão de controle afunde para um verdadeiro potencial de terra (Ground). A largura do pulso de saída varia de 97% do período para 0 conforme a tensão presente no amplificador de erro varie de 0,5 V a 3,5 V, respectivamente.

3.3.4 Amplificadores de Erro

Um esquema do circuito dos amplificadores de erro é mostrado na Figura 9. Ambos os amplificadores de erro de alto ganho recebem suas diretrizes da linha de alimentação do regulador interno. Isso permite uma faixa de tensão de entrada de modo comum de –0,3 V a 2 V a menos que V. Ambos os amplificadores se comportam caracteristicamente como um único amplificador com única oferta, em que cada saída é ativo apenas alto. Isso permite que cada amplificador puxe para cima independentemente para uma diminuição da largura de pulso de saída esperada. Com ambas as saídas ORed juntas no nó de entrada invertido do comparador PWM, o amplificador que exigir o pulso mínimo dominará o funcionamento. As saídas dos amplificadores de erro são ajustadas por uma corrente de dissipação a fim de fornecer largura de pulso máxima na saída do comparador quando os dois amplificadores estiverem trabalhando em conjunto.

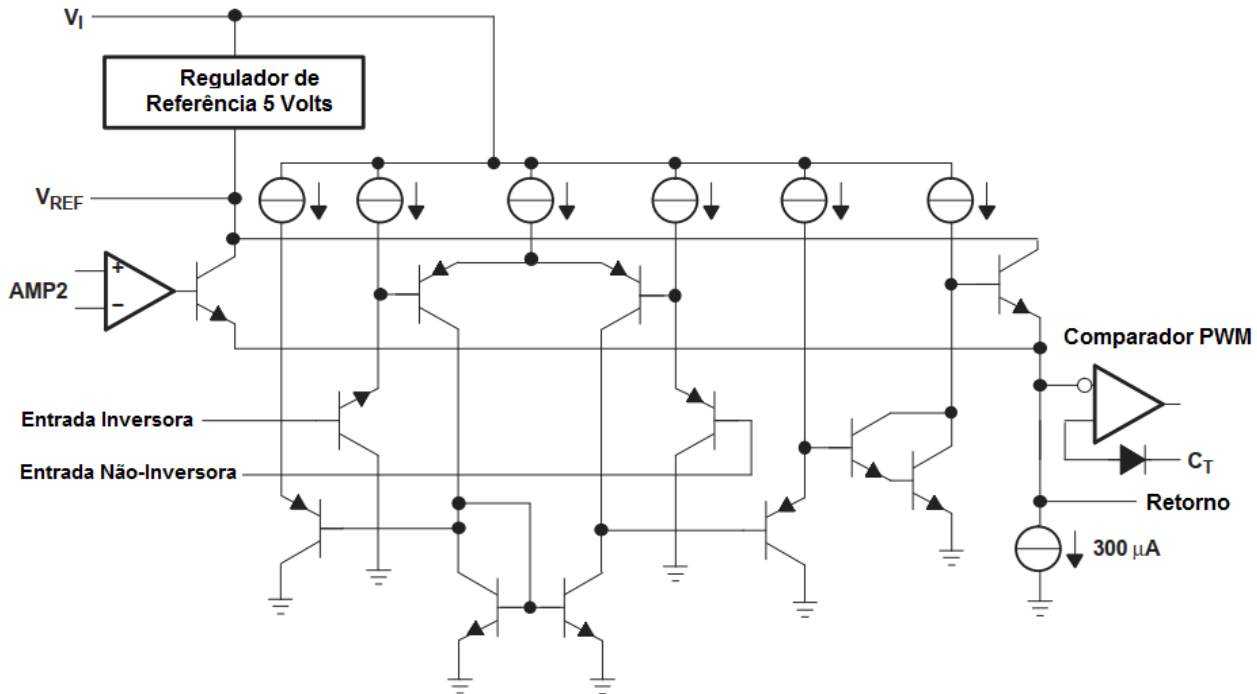



Figura 9. Amplificadores de Erro

A Figura 10 mostra a estrutura de saída dos amplificadores operando como dissipadores de corrente de 300 µA. Atenção deve ser dada a este nó para efeito de ajuste às tensões de referência em circuitos de interface de controle de ganho e controle externo. Como a saída do amplificador é ajustada para baixo através de um dissipador de corrente (ISINK = 0,3 mA), a corrente de ajuste exigida por circuitos externos no terminal de feedback não deve exceder a capacidade do dissipador atual. Caso contrário, a largura máxima de pulso de saída é limitada. A figura 11 mostra as técnicas de viés adequadas para o retorno assumir o controle.

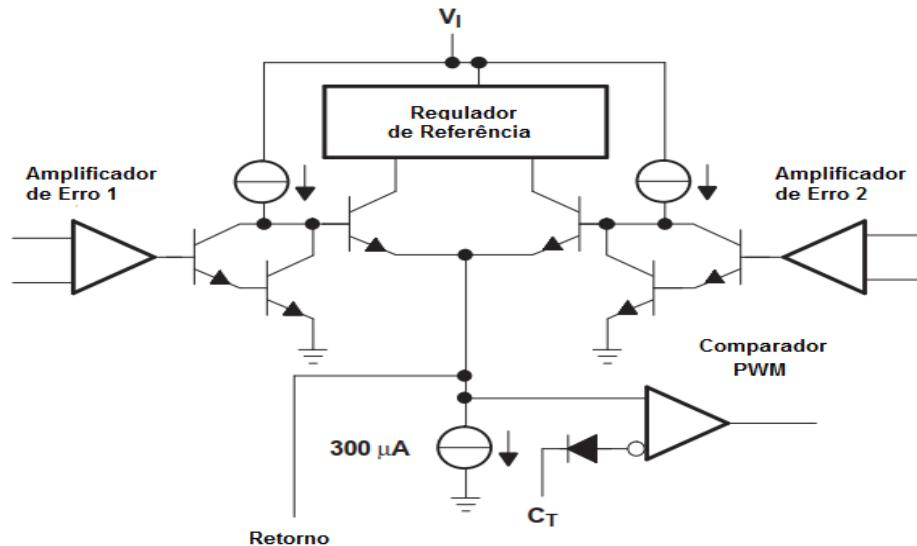



Figura 10. Estrutura Multiplexada dos Amplificadores de Erro

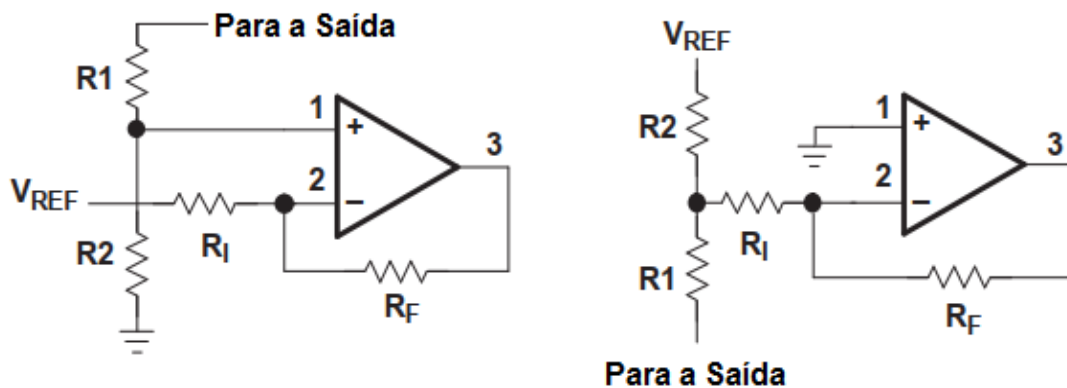



Figura 11. Ajuste do Amplificador de Erro por Aplicações com Controle de Ganho

A Figura 12 mostra um gráfico de características de transferência do amplificador. Isso ilustra as características de ganho linear dos amplificadores sobre a faixa de entrada ativa do comparador PWM (0,5 V a 3,5 V). Isso é importante para estabilidade geral do circuito. O ganho em loop aberto dos amplificadores, para tensões de saída de 0,5 V a 3,5 V, é de 60 dB. Um gráfico de De Bode de tempo de resposta do amplificador é mostrado na Figura 13. Ambos os amplificadores têm um tempo de resposta de aproximadamente 400 ns de suas entradas para suas saídas. Devem ser tomadas precauções para minimizar o carregamento capacitivo das saídas do amplificador. Como os amplificadores empregam apenas pull-up ativo, a capacidade dos amplificadores de responder a uma crescente demanda de carga pode ser degradada severamente por cargas capacitivas.

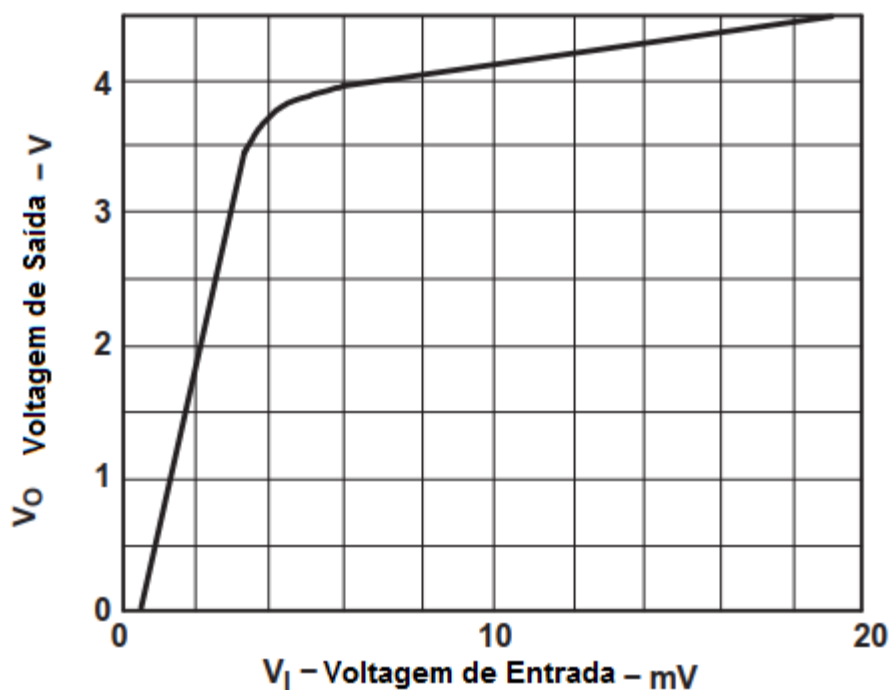



Figura 12. Características de Transferência do Amplificador

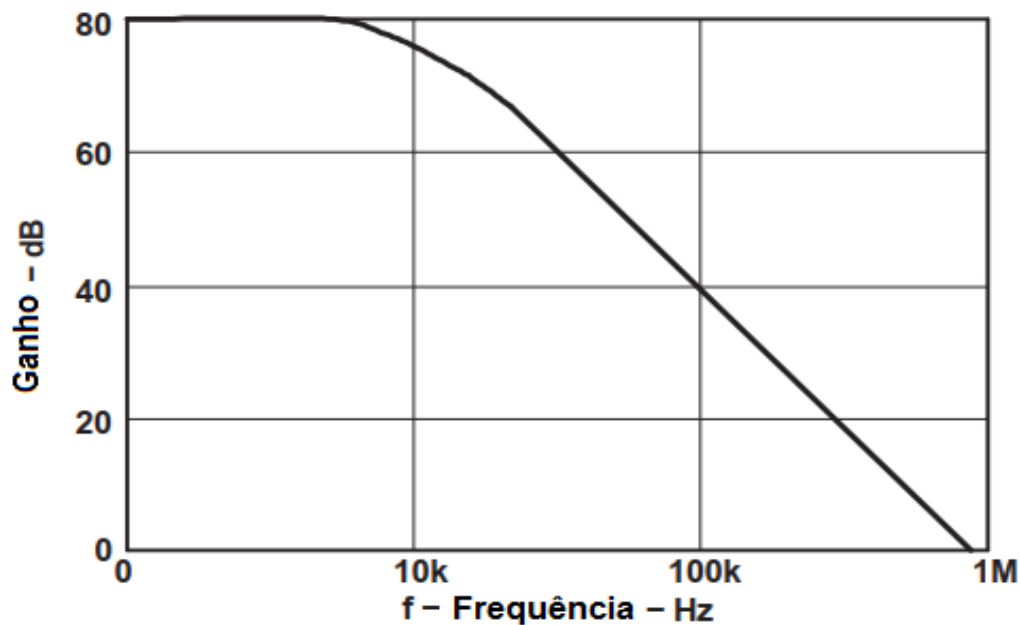



Figura 13. Curva de De Bode do Amplificador

3.4 Lógica de Controle da Saída

A lógica de controle de saída é estruturada para fornecer mais versatilidade através do controle externo. Projetado para aplicações com um ou dois transistores (single-ended ou push-pull), o desempenho do circuito pode ser otimizado pela seleção das condições adequadas aplicadas a várias entradas de controle.

3.4.1 Controle de Entrada e Saída

A entrada de controle de saída determina se os transistores de saída operam em paralelo ou push-pull. Esta entrada é a fonte de alimentação para o flip-flop de direção de pulso (ver Figura 14). A entrada de controle de saída é assíncrona e tem controle direto sobre a saída, independente do oscilador ou do flip-flop da direção de pulso. A condição de entrada destina-se a ser uma condição fixa definida pela aplicação. Durante operação paralela, a entrada de controle de saída deve ser aterrada. Isso desativa o flip-flop de direção de pulso e inibe suas saídas. Neste modo, os pulsos vistos na saída do comparador de controle/PWM em tempo morto são transmitidos por ambos os transistores de saída em paralelo. Para a operação push-pull, a entrada de controle de saída deve estar conectada ao regulador de referência interno 5-V. Nesta condição, cada um dos transistores de saída é habilitado, alternadamente, pelo flip-flop de direção de pulso, com defasagem de 180º.

Tabela 1. Tabela de Funções

Entrada para Controle Saída	Função de Saída
V_I = GND	Saída-Unitária ou Saída Paralela
$V_I = V_{ref}$	Operação Normal Push-Pull

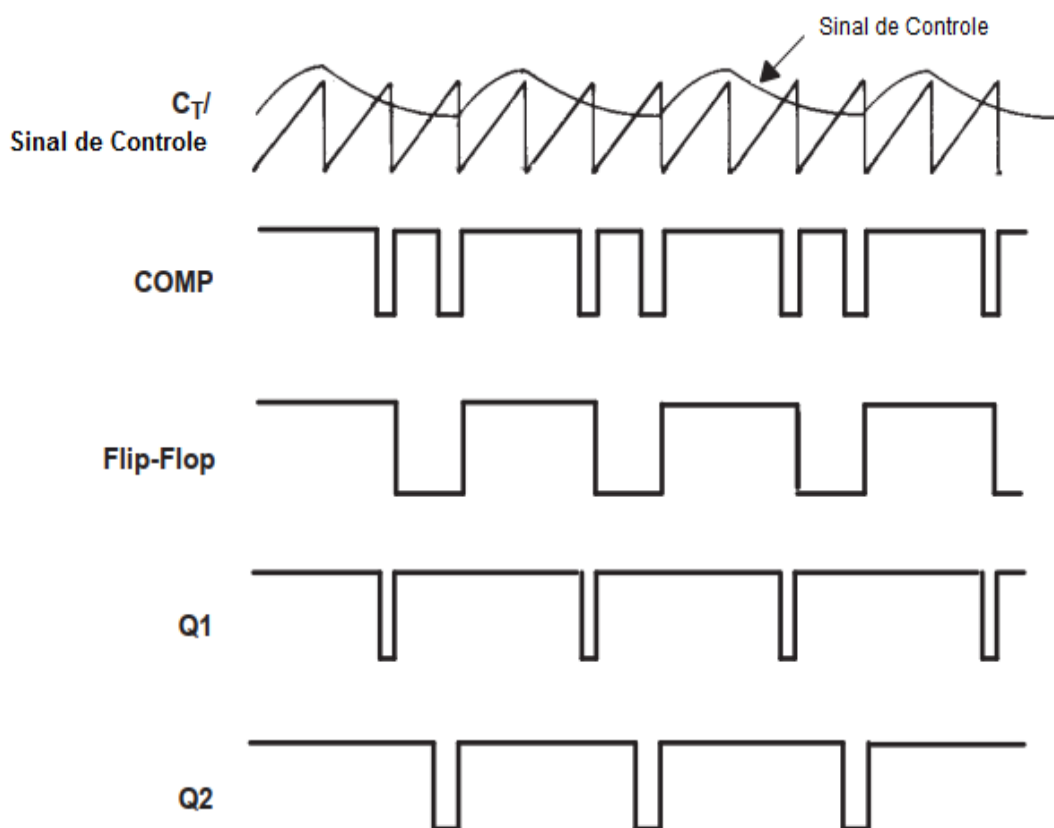
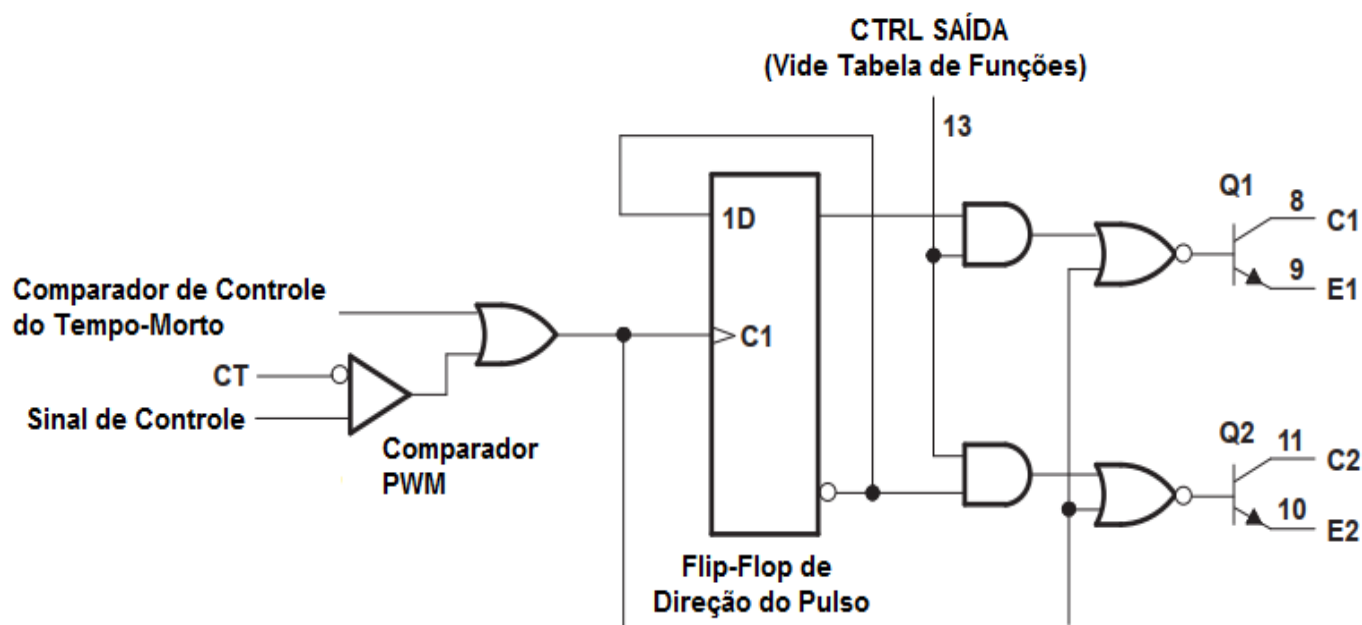



Figura 14. Arquitetura da Direção de Saída

3.4.2 Flip-Flop de Direção do Pulso

O flip-flop de direção de pulso é um flip-flop do tipo D acionado por borda positiva que muda de estado sincronizadamente com a borda ascendente da saída do comparador (ver Figura 14). O tempo morto fornece um “branco” durante este período para garantir contra a possibilidade de ter ambas as saídas em condução simultaneamente durante a transição das saídas de flip-flop de direção de pulso. Um esquema do flip-flop de direção de pulso é mostrado na Figura 15. Desde o flip-flop recebe seu gatilho a partir da saída do comparador, não o oscilador, a saída sempre opera em push-pull. O flip-flop não muda de estado a menos que um pulso de saída tenha ocorrido no período anterior do oscilador. Esta arquitetura evita qualquer saída de pulsação dupla, mas restringe o aplicação das fontes de sinal de controle para sinais de feedback dc (para mais detalhes, consulte Seção 4.4.2, Limitação da corrente de pulso).

Regulador de Referência 5 Volts

Controle de Saída

To Q1

To Q2

Saída	Transistor
High	Off
Low	On

Comparador de Saída

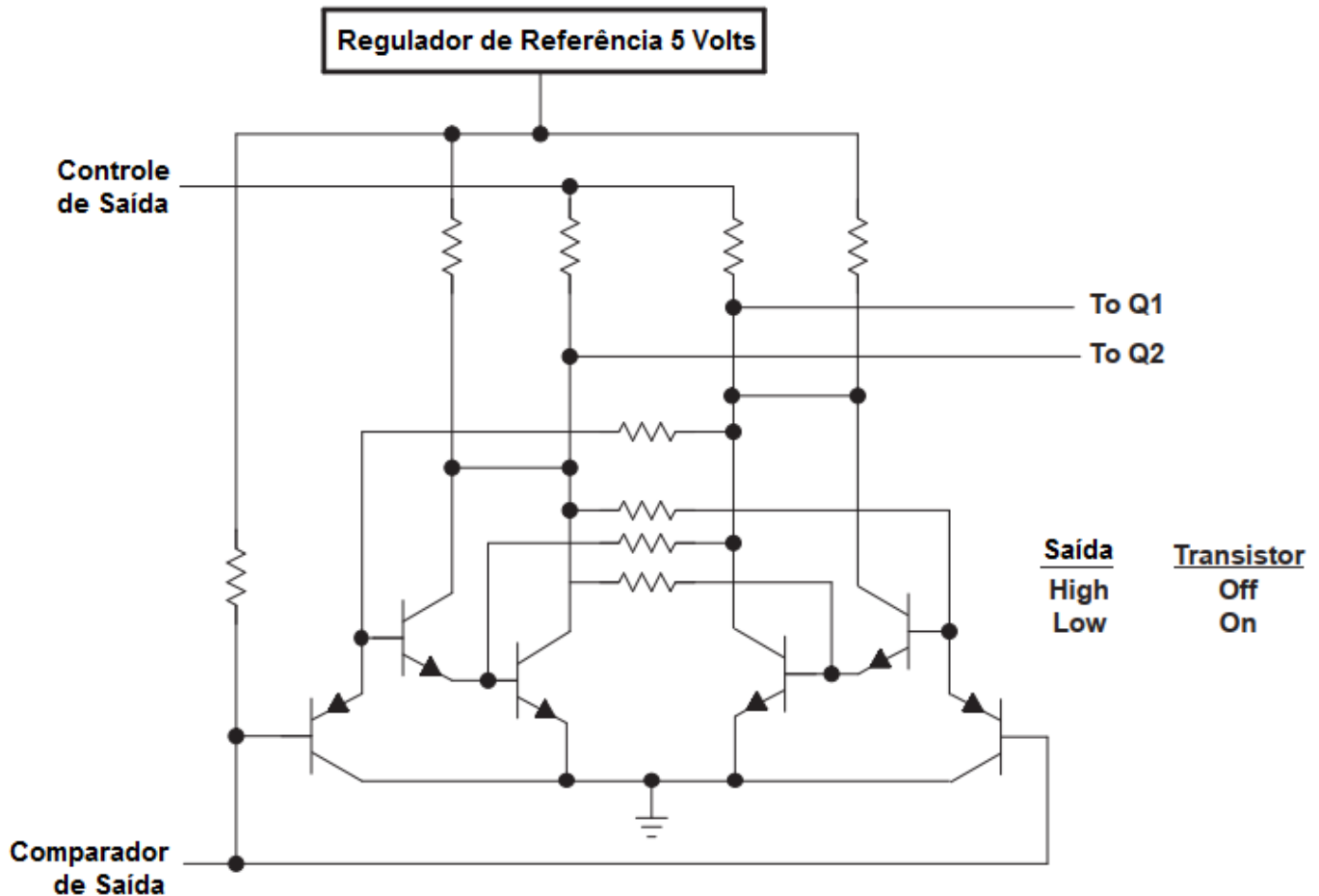



Figura 15. Flip-Flop de Direção de Pulso

3.5 Transistores de Saída

Dois transistores de saída estão disponíveis no TL494. A estrutura de saída é mostrada na Figura 16. Ambos os transistores são configurados como coletor aberto/emissor aberto, e cada um é capaz de aterrar ou saturar transistores que demandem corrente de base (Bijunção) ou gate (Mosfet) de até 200 mA. Os transistores têm uma tensão de saturação inferior a 1,3 V na configuração do emissor comum e menos de 2,5 V na configuração de seguidor-emissor. As saídas são protegidas contra excesso de dissipação de energia para evitar danos, mas não empregam limitação de corrente suficiente para permitir que eles sejam operados como saídas de origem atual.

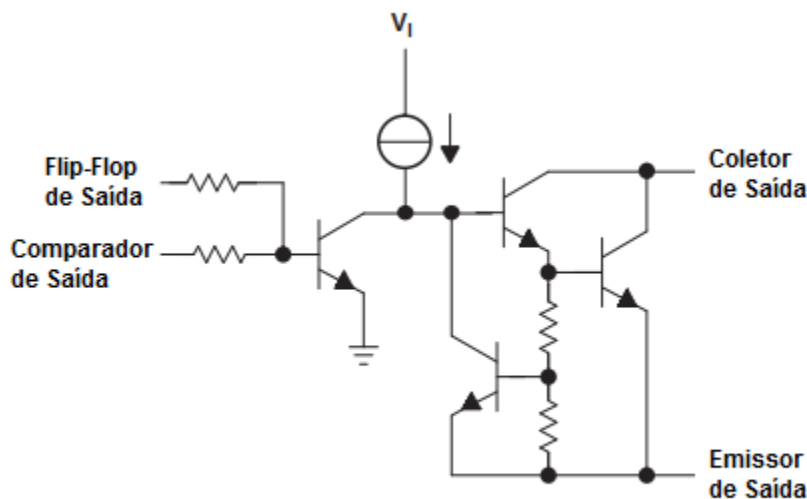



Figura 16 - Estrutura do Transistor de Saída

4 Aplicações

4.1 Reference Regulator

O regulador de referência interno 5-V foi projetado principalmente para fornecer aos circuitos internos uma linha estável de alimentação para tensões de entradas diversas. O regulador fornece unidade suficiente para sustentar até 10 mA de corrente de fornecimento para circuitos de carga adicionais. No entanto, o carregamento excessivo pode degradar o desempenho de o TL494 porque o regulador de referência 5-V estabelece a tensão de fornecimento de grande parte do interno circuitos de controle. Se sofre sobrecarga de corrente, ele pode cair um pouco a voltagem e confundir os comparadores.

4.1.1 Turbinando o Regulador de 5-V

As técnicas convencionais de inicialização para reguladores de 3 pinos, como mostrado na Figura 17, não são recomenadas para uso com o TL494. Normalmente, a inicialização é programada pelo resistor R_B de forma que o transistor Q1 ligue quando a corrente de carga se aproximar da capacidade do regulador. Isso funciona muito bem quando a corrente que flui na entrada (através de R_B) é determinada pela corrente de carga. Este não é necessariamente o caso com o TL494. A corrente de entrada não somente reflete a corrente de carga como também inclui a corrente consumida pelo circuito de controle interno, o qual é polarizado pelo regulador de referência, bem como pelo próprio caminho de entrada do circuito. Como resultado, a corrente de carga drenada pelo regulador de referência não controla a polarização do transistor de regulagem de tensão (shunt) Q1.

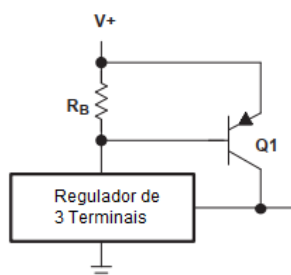



Fig.17 - Regulador de 3 terminais

A figura 18 mostra a técnica de inicialização favorita para o TL494. Esta técnica oferece uma eficiente isolação entre o circuito de ajuste de carga e a saída do regulador de referência e ainda disponibiliza uma quantidade de corrente suficiente, sem que isso afete a estabilidade do regulador interno de referência. Esta técnica precisa ser aplicada somente em drivers de circuitos de ajuste, pois a regulação da saída de corrente alta dependerá tão somente da carga.

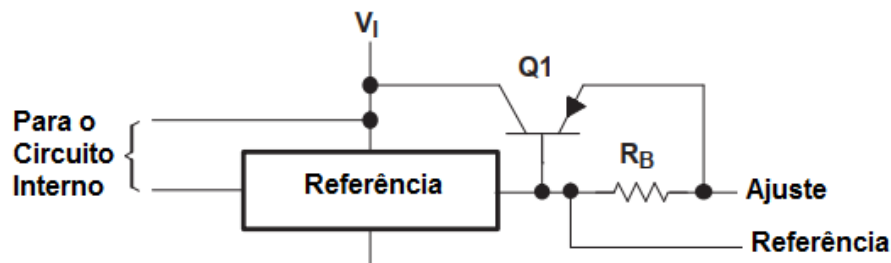



Fig 18. Técnica de Turbinamento do Regulador de Referência do TL494

4.2 Aplicações do Oscilador

O projeto do oscilador interno permite uma ótima solução flexível na operação do circuito de controle do TL494.

4.2.1 Sincronização com vários TL494

A sincronização de dois ou mais osciladores em um sistema único é facilmente realizada pela arquitetura dos circuitos de controle TL494. Uma vez que o oscilador interno é usado apenas para a criação da forma de onda do dente de serra no capacitor de temporização, o oscilador pode ser inibido desde que uma forma de onda de dente de serra compatível seja fornecido externamente ao terminal do capacitor de temporização (com um LM555, por exemplo, ou outro oscilador baseado em cristal), de forma que o terminal R_T para o fornecimento de referência na saída possa inibir o oscilador interno..

4.2.2 Sincronização Mestre-Escravo

Para sincronizar dois ou mais TL494s, basta estabelecer um deles como MESTRE e programar o seu oscilador normalmente. Desabilite os osciladores de cada circuito ESCRAVO (como explicado acima) e use a forma de onda dente de serra criada pelo TL494 mestre para cada um dos demais TL494 ESCRAVOS, conectando todos os pinos C_T juntos (Figure 19).

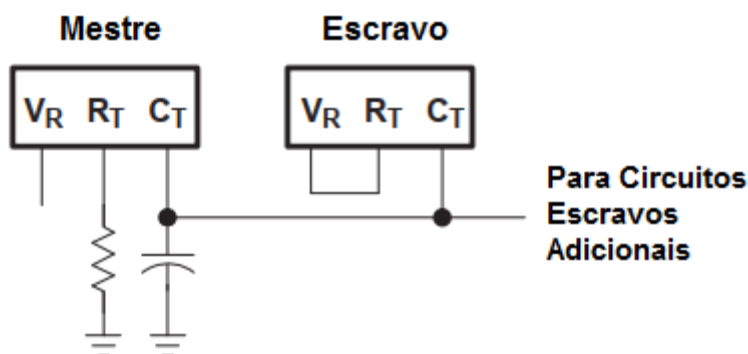



Figura 19. Sincronização Mestre-Escravo

4.2.3 Operação do Clock Mestre

Para sincronizar o TL494 com um relógio (ou clock) externo, o oscilador interno pode ser usado como um gerador de pulso dente de serra. Programe o oscilador interno por um período que seja de 85% a 95% do relógio mestre e ativar o oscilador interno através do resistor de temporização (ver figura 20). Q1 é ativado quando um pulso positivo é aplicado à sua base. Isso inicia o oscilador interno aterrando o RT, e levando a base do Q2 para nível baixo. Q1 é travado através do coletor de Q2 e, como resultado, o oscilador interno é travado também. Conforme o CT for se carregando, uma tensão positiva aparecerá em C1. Q1 servirá como uma trava no lado de disparo do C1. Na conclusão do período do oscilador interno, o capacitor de temporização será descarregado para o aterramento e C1 acionará a base de Q1 para nível baixo, fazendo com que Q1 e Q2 se desliguem por sua vez. Com a trava do Q1/Q2 desligada, o RT estará aberto e o oscilador interno será desativado até que outro pulso de disparo seja recebido.

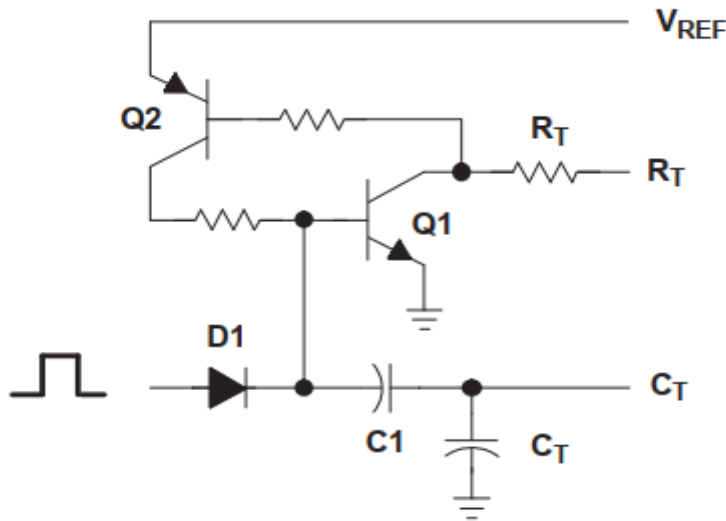



Figura 20. Sincronização com Clock Externo

Um problema comum ocorre durante a inicialização quando estamos sincronizando a fonte de alimentação com um relógio do sistema. Normalmente, é necessário um oscilador de arranque adicional. Novamente, o oscilador interno pode ser usado para isso modificando-se ligeiramente o circuito anterior (ver Figura 21). Durante a inicialização, quando a tensão de saída é baixa, Q3 é ajustado, fazendo-se com que o Q1 permaneça ligado e o oscilador interno se comporte normalmente. Uma vez que a tensão de saída aumentou suficientemente (VO > VREF para a Figura 21), Q3 não é mais ajustado e a trava Q1/Q2 torna-se dependente do sinal de disparo, como discutido anteriormente.

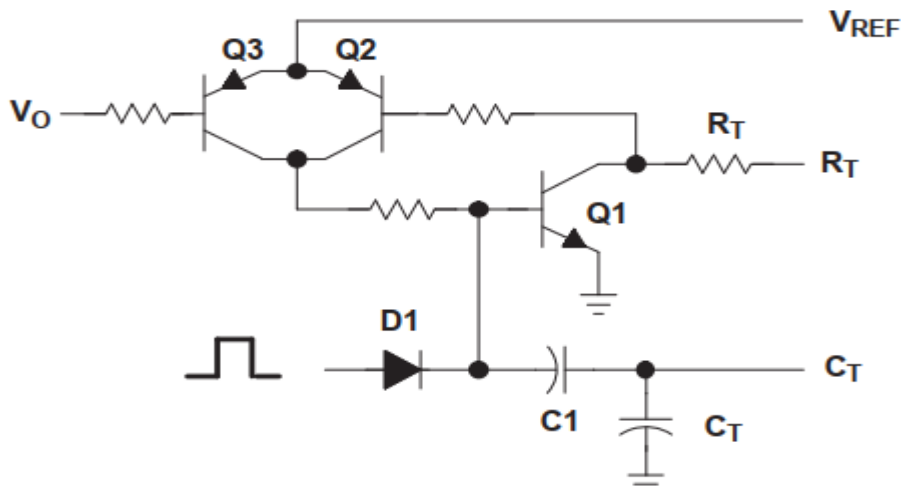



Figura 21. Circuito de Inicialização do Oscilador

4.2.4 Operação à Prova de Falhas

Com o esquema de modulação empregado pelo TL494 e a estrutura do oscilador, o TL494 desliga intrinsecamente se um dos componentes de temporização falhar. Se por exemplo o resistor de temporização R_T abrir, nenhuma corrente será fornecida para o oscilador para carregar o C_T. A adição de um resistor de sangria (ver Figura 22) garante a descarga do C_T. Com a entrada de C_T em terra, ou se o C_T entrar em curto-circuito, ambas as saídas serão inibidas.

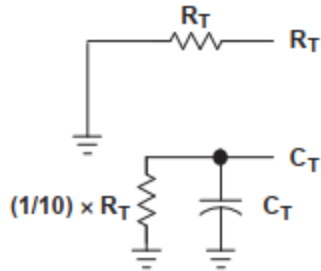



Figura 22. Proteção à Prova de Falhas

4.3 Configuração do Ajuste dos Amplificadores de Erro

O projeto do TL494 utiliza dois amplificadores em configuração não-invertida. A figura 23 mostra o circuito de ajuste para voltagens de saída positivas e negativas. Os circuitos de controle de ganho mostrados na figura 11 podem ser integrados aos circuitos de ajuste.

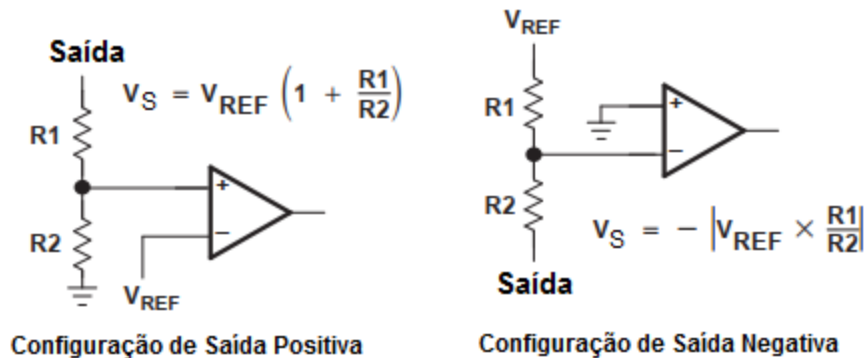



Figura 23. Configurações de Ajuste do Amplificador de Erro

4.4 Limitação de Corrente

Qualquer amplificador fornecido no TL494 pode ser usado para limitação de corrente de chaveamento nos transistores. Aplicação de amplificador é limitado principalmente ao controle de corrente de carga. A arquitetura define que estes amplificadores sejam utilizados para aplicações de controlo CC. Ambos os amplificadores têm uma ampla faixa de tensão de modo comum que permite deteção de corrente nos trilhos de tensão de saída. Várias técnicas podem ser empregadas para limitar a corrente.

4.4.1 Limitação de Corrente Rebatível (Fold-Back)

A Figura 24 mostra um circuito que emprega técnicas próprias de sintonia através de Limitação de Corrente Rebatível. A limitação de corrente inicial acontece quando uma voltagem suficiente é desenvolvida através do circuito RCL para compensar a voltagem base-emissor do transistor Q1, somada à voltagem através de R1. Quando esta limitação de corrente acontece, a voltagem de saída cai. À medida que a saída decai, a tensão em R1 diminui proporcionalmente. Isso resulta em menos tensão necessário em toda a RCL para manter a limitação de corrente. As características de saída resultantes são mostradas em Figura 25.

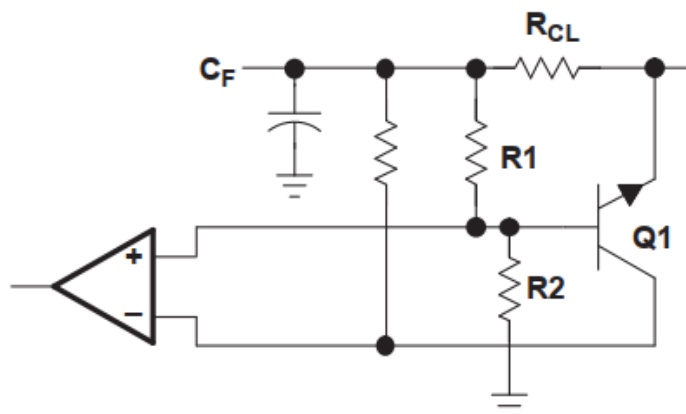



Figura 24. Limitação de Corrente Rebatível

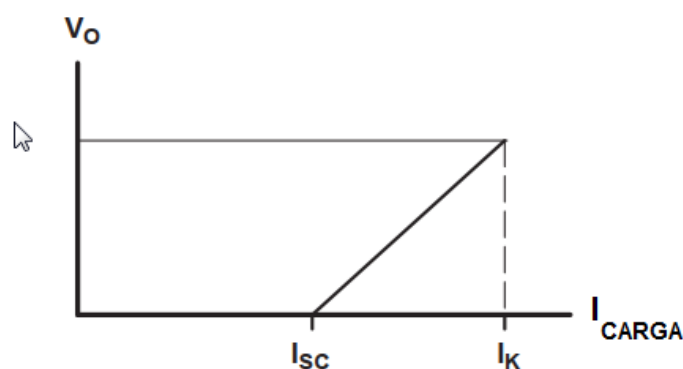



Figura 25. Caraterísticas da Corrente Rebatível

4.4.2 Limitação de Pulso-Corrente

A arquitetura interna do TL494 não acomoda a limitação de corrente de pulso direta. O problema surge de dois fatores:

- Os amplificadores internos não funcionam como uma trava; destinam-se a aplicações analógicas.
- O flip-flop de direção de pulso vê qualquer transição positiva do comparador PWM como um gatilho e muda suas saídas prematuramente, ou seja, antes da conclusão do período do oscilador.

Como resultado, uma tensão de controle pulsada que ocorre durante um tempo normal não só causa o desligamento da saída dos transistores, mas também muda o flip-flop de direção de pulso. Com as saídas desligadas, o excessivo a condição de corrente decai e a tensão de controle retorna ao nível de sinal de erro quiescente. Quando o o pulso termina, as saídas novamente são ativadas e o pulso residual pontual aparece na saída oposta. As formas de onda resultantes são mostradas na Figura 26. O grande problema aqui é a falta de controle de tempo morto.

Resposta ao Sinal Pulsado

Controle de Tempo Morto

Sinal de Erro

Flip-Flop

Lógica Controle de Saída

Q1

Q2

Sinal de Controle

Sinal de Controle/CT

Saídas Esperadas

Q1

Q2

Saídas Reais

Q1

Q2

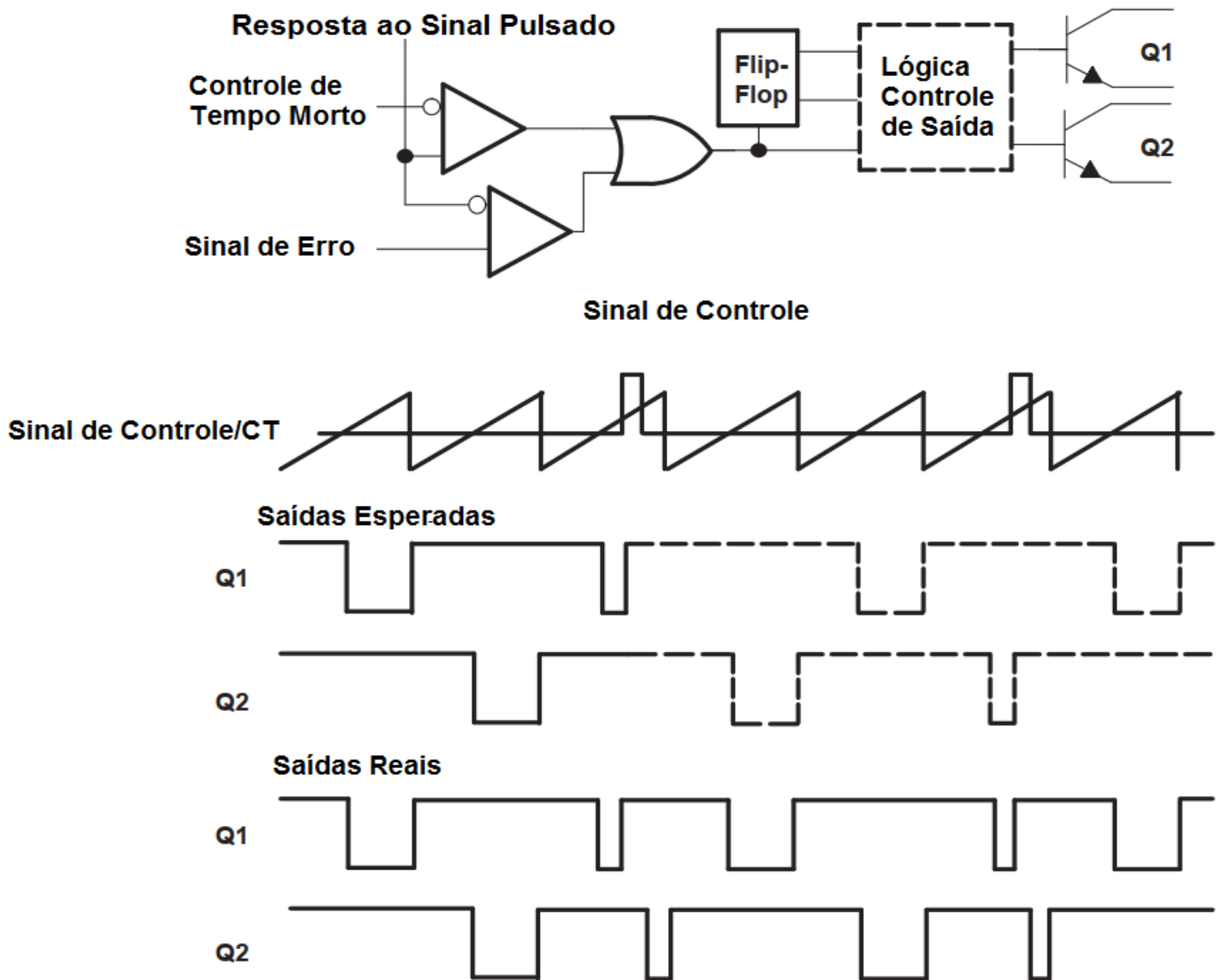



Figura 26. Considerações sobre o Sinal de Erro

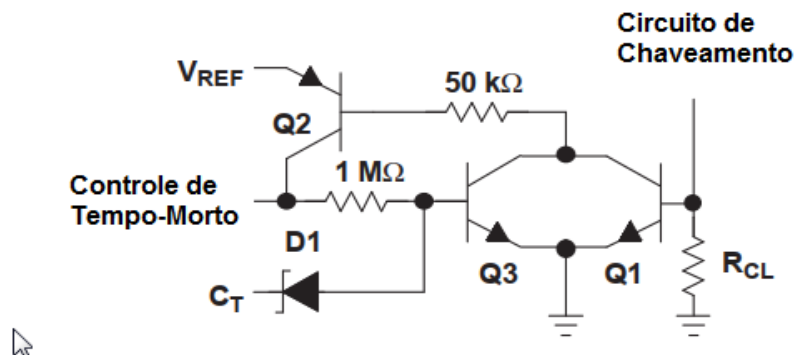



Figura 27. Proteção contra Pico de Corrente

Um pulso suficientemente estreito pode resultar em ambas as saídas sendo ativadas simultaneamente, dependendo dos atrasos de o circuito externo. Uma condição em que existe tempo morto insuficiente é uma condição destrutiva. Portanto a limitação de corrente de pulso é melhor implementada externamente (ver Figura 27).

Na Figura 27, a corrente nos transistores de chaveamento é detectada pelo circuito RCL. Quando há corrente suficiente, o transistor de detecção Q1 é tendencioso para a frente, a base do Q2 é puxada para baixo através do Q1 e o tempo morto da entrada de controle é puxado para a referência de 5 V. O acionamento da base de Q3 é fornecido através do coletor de Q2. Q3 atua como uma trava para manter Q2 em um estado saturado quando Q1 desliga, à medida que a corrente decai através da RCL. A trava permanece nesse estado, inibindo os transistores de saída, até que o oscilador tenha concluído seu período e feito a descarga de CT até 0 V. Quando isso ocorre, o diodo Schottky (D1) avança para o equilibrio e desliga Q3 e Q2, permitindo que o controle de tempo morto retorne à sua tensão programada.

4.5 Aplicações do Controle de Tempo-Morto

A principal função do controle de tempo-morto é estabelecer o menor tempo possível sem energia na saída do TL494. A entrada de controle do tempo-morto pode ser ajustada de 5% até 100% (veja Figure 28).

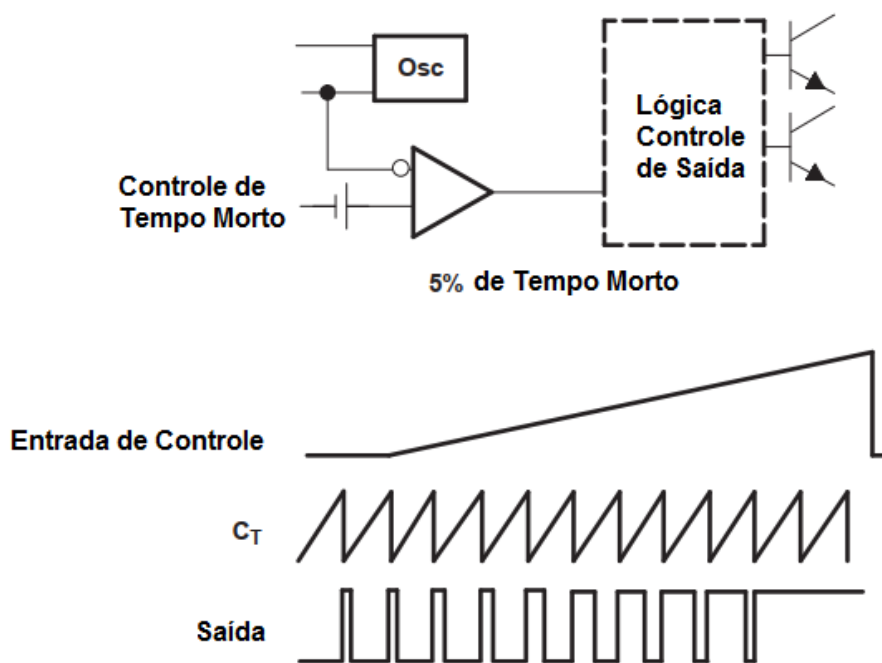



Figura 28. Características do Controle de Tempo Morto

Sendo assim, o TL494 pode ser ajustado para o chaveamento de transistors de potência específicos de forma a assegurar que os transistores de saída nunca tenham um choque no sincronismo. O circuito de sintonia (bias) para a função básica é mostrado na Figura 29. O controle de tempo-morto pode ser usado para muitos outros sinais de controle

.

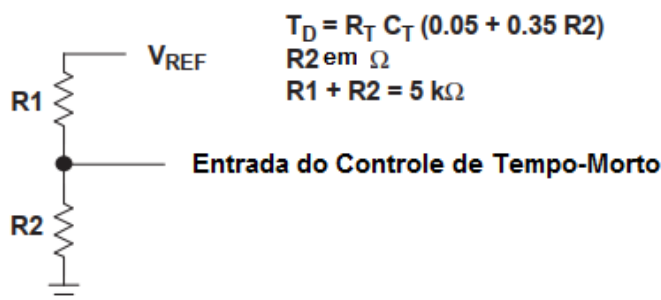



Figura 29. Tempo Morto Ajustado

4.5.1 Arranque (Inicialização) Suave

Com a disponibilidade do controle de tempo morto, a implementação de entrada de um circuito de partida suave é relativamente simples; A Figura 30 abaixo mostra um exemplo. Inicialmente, o capacitor CS força a entrada de controle de tempo morto a seguir o regulador 5-V de referência que desativa ambas as saídas, ou seja, 100% de tempo morto. À medida que o capacitor carrega através do RS, o pulso de saída aumenta lentamente até que o loop de controle assuma o comando. Se for necessário um controle adicional introduzido nesta entrada, um diodo de bloqueio deve ser usado para isolar o circuito de partida suave. Se o arranque suave for desejado em conjunto com um tempo morto adaptado, o circuito na Figura 29 pode ser usado com a adição de capacitor CS em R1.

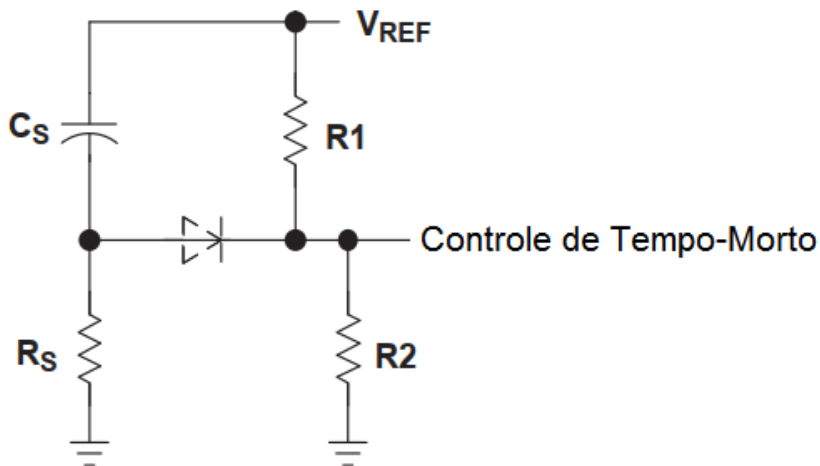



Figura 30. Circuito de Arranque Suave

Recomenda-se o uso de um diodo de bloqueio para proteção de partida suave. Esses circuitos não apenas impedem grandes surtos de corrente durante a inicialização, ele também protege contra quaisquer sinais falsos que possam ser criados por o circuito de controle à medida que a energia é aplicada.

4.5.2 Proteção contra sobretensão

O controle de tempo morto também fornece uma entrada conveniente para proteção contra sobretensão que pode ser detectada como uma condição de tensão de saída ou proteção de entrada. A Figura 31 mostra um TL431 como o elemento de detecção. Quando o trilho de alimentação a monitorizar aumenta até ao ponto em que 2,5 V é desenvolvido no nó condutor de R1 e R2, o TL431 entra em condução. Isso direciona o Q1, fazendo com que o controle de tempo morto seja puxado até a tensão de referência e desativando os transistores de saída.

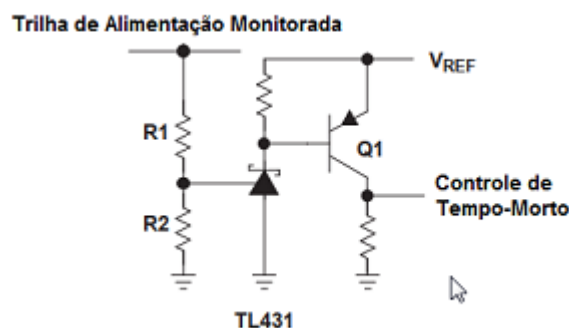



Figura 31. Circuito de Proteção contra Sobretensão

4.5.3 Modulação da transição Liga/Desliga

A modulação do pulso de saída pelo TL494 é realizada modulando a transição de acionamento do transistores de saída. A transição de desligamento é sempre simultânea com a borda descendente da forma de onda do oscilador. A Figura 32 mostra a saída do oscilador em comparação com um sinal de controle variável e o formas de onda de saída resultantes. Se a modulação da transição de desvio for desejada, uma inclinação negativa externa A forma de onda dente de serra (ver Figura 33) pode ser usada sem degradar o desempenho geral do TL494.

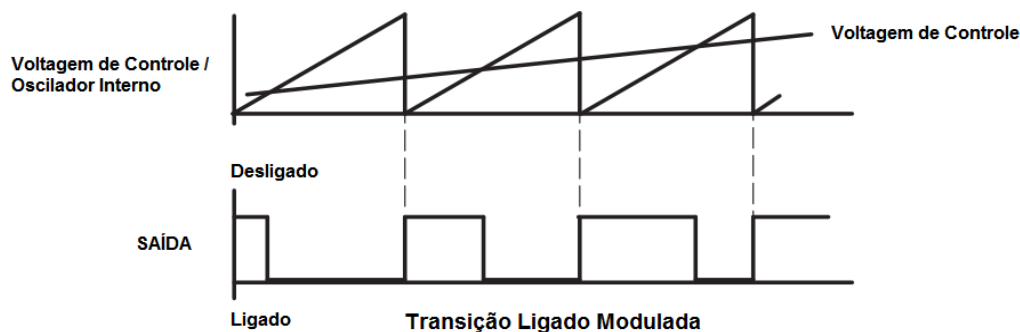



Figura 32. Transição Ligada

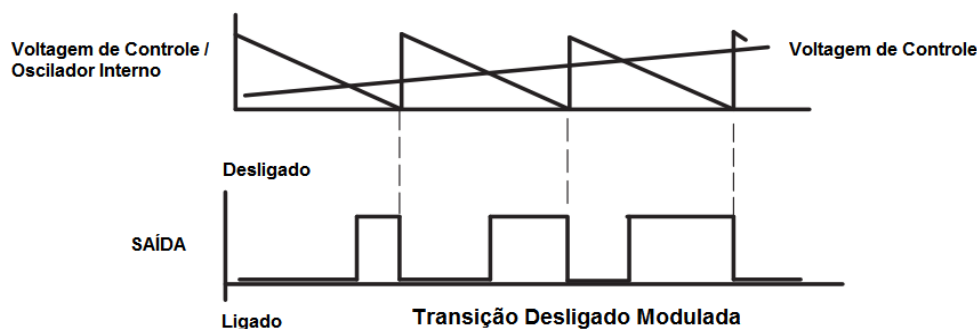



Figura 33. Transição Desligada

5 Exemplo de Projeto

O projeto de exemplo abaixop usa o TL494 para criar uma fonte de alimentaçãode 5 Volts por 10 Amperes. Este projeto é baseado nos parâmetros abaixo:

V_O = 5 V
V_I = 32 V
I_O = 10 A
f_{OSC} = 20-kHz frequência de chaveamento
V_R = 20-mV pico-a-pico (V_{RIPPLE})
ΔI_L = 1.5-A variação de corrente no indutor

5.1 Input Power Source

A fonte primária de 32 Volts que alimenta nossa fonte chaveada usa uma entrada de 120 Volts AC e um transformador de saída de 24 Volts, com potência prevista de 75 VA. O secundário de 24 Volts alimenta uma ponte retificadora de onda completa, seguido por um resistor limitador de corrente (0.3 Ω) e dois capacitors de filtro como se pode ver na figura 34;

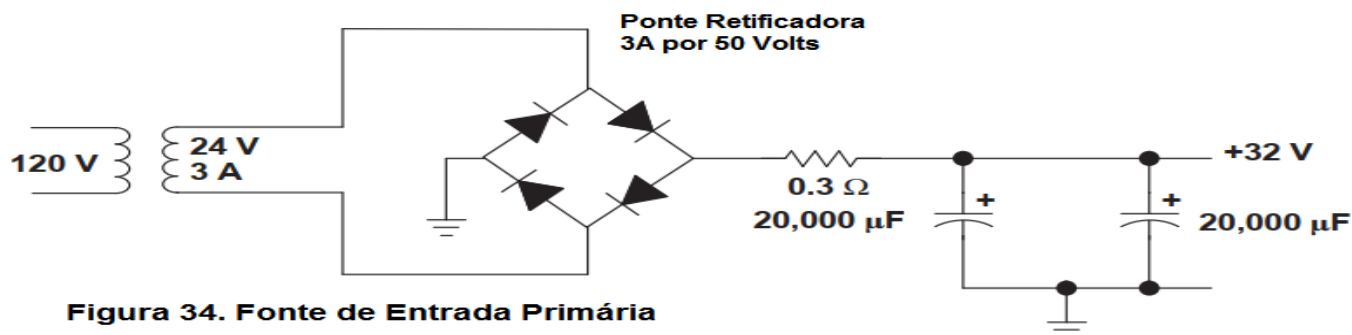



Figura 34. Fonte de Entrada Primária

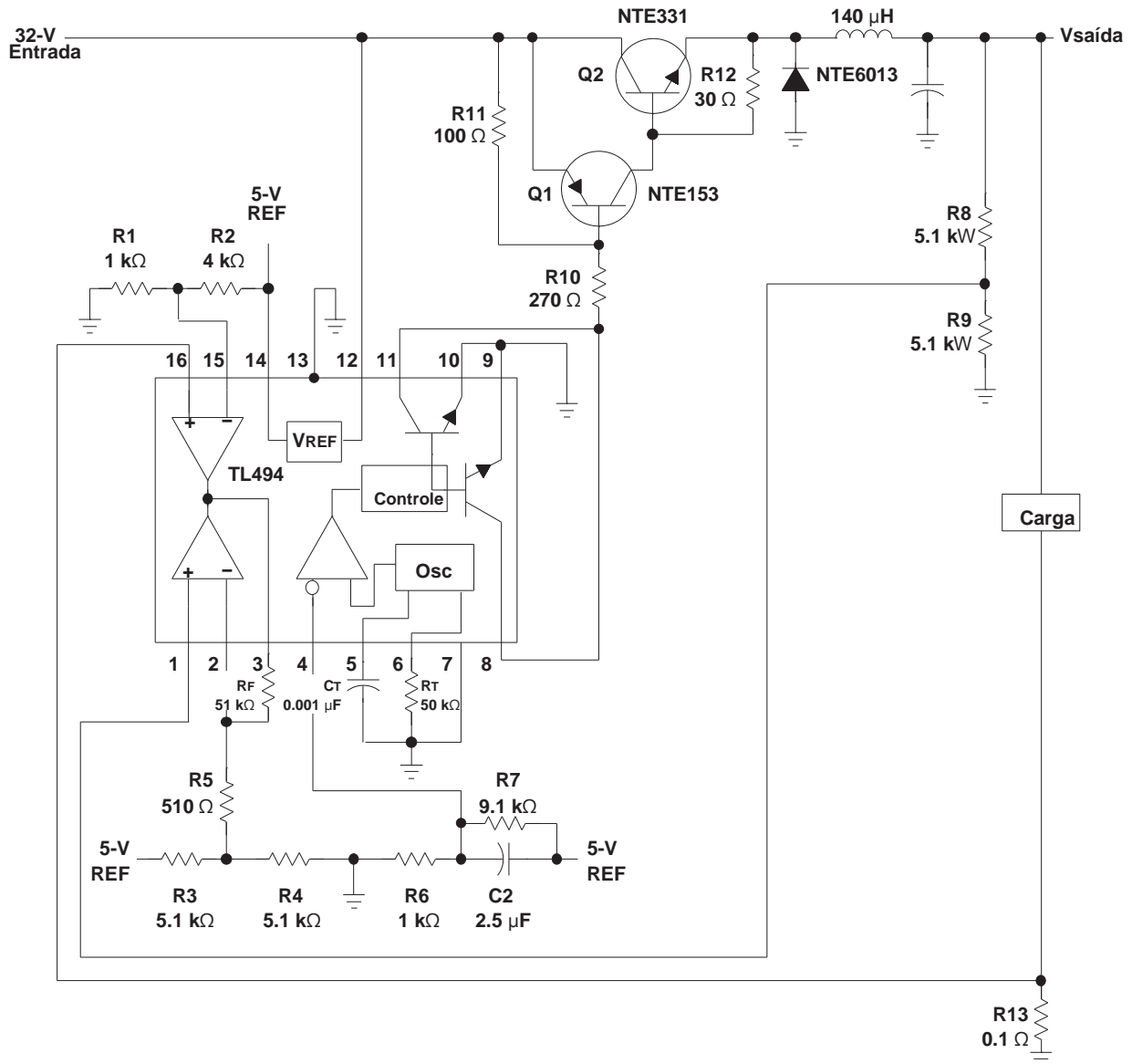



Figura 35. Seções de Chaveamento e Controle

A corrente e voltagem de saída são determinadas pelas equações (6) e (7)

$$V_{RETIFICADORA} = V_{SECONDARY} \times \sqrt{2} = 24\ V \times \sqrt{2} = 34\ V \qquad (6)$$

$$I_{RETIFICADORA\ (Média)} \approx \frac{V_O}{V_I} \times I_O \approx \frac{5\ V}{32\ V} \times 10\ A = 1.6\ A \qquad (7)$$

5.2 Circuitos de Controle

5.2.1 Oscilador – se conectarmos um resistor e um capacitor aos pinos de controle 6 e 5 do TL494, o oscilador trabalhará numa frequência de 20 KHz, pois

$$f_{OSC} = \frac{1}{R_T \times C_T}$$ E se escolhermos C_T como 0.001 uF, calculando R_T teremos: (8)

$$R_T = \frac{1}{f_{OSC} \times C_T} = \frac{1}{(20 \times 10^3) \times (0.001 \times 10^{-6})} = 50\ k\Omega \qquad (9)$$

5.2.2 Amplificador de Erro

O Amplificador de Erro compara uma amostra de saída de 5 Volts com a voltagem de referência e ajusta a largura do pulso (tecnologia PWM) para manter uma saída de corrente constante (Figura 36)

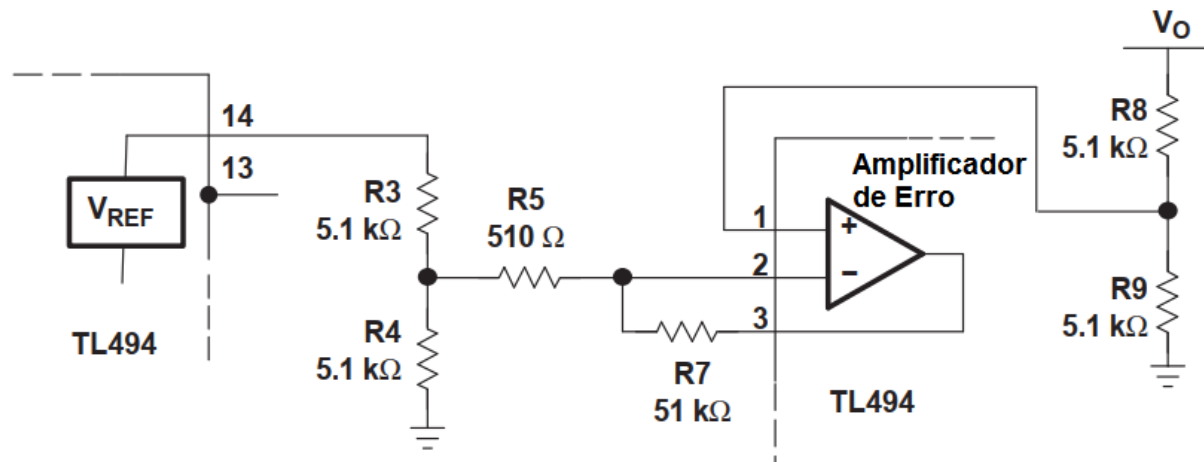



Figura 36. Seção do Amplificador de Erro

A referência interna de 5 V do TL494 é dividida em 2,5 V por cada um dos resistores R3 e R4. O sinal de erro de tensão de saída também é dividido em 2,5 V por R8 e R9. Se a saída deve ser regulada para exatamente 5,0 V, um potenciômetro de 10 kΩ pode Ser utilizados em vez de R8 para assegurar um ajuste fino. Para aumentar a estabilidade do circuito amplificador de erro, a saída do amplificador de erro é alimentada de volta para o invertendo a entrada através de RT, reduzindo o ganho para 101.

5.2.3 Amplificador Limitador de Corrente

A fonte de alimentação foi projetada para uma corrente de carga de 10-A e uma corrente no indutor IL de 1,5 A, portanto, a corrente de curto-circuito deve ser:

$$I_{SC} = I_O + \frac{I_L}{2} = 10.75\ A$$

O circuito de limitação de corrente é mostrado na figura 37.

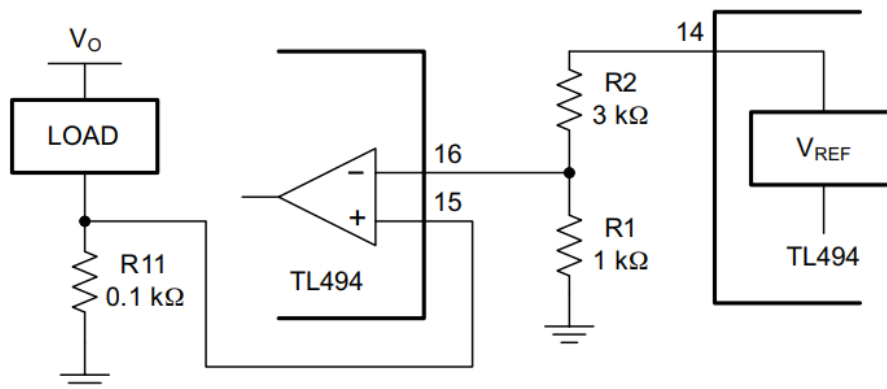



Figura 37. Circuito de Limitação de Corrente

Os Resistores R1 e R2 ajustam a referência de cerca de 1 V na entrada inversora do amplificador de limitação de corrente. O Resistor R13, em série com a carga, aplica 1 V no terminal não inversor do amplificador limitador de corrente quando a corrente de carga chega a 10 A. A largura do pulso de saída é reduzida conforme a necessidade. O valor de R13 é:

$$R13 = \frac{1\ V}{10\ A} = 0.1\ \Omega$$

5.2.4 Arranque Suave e Tempo-Morto

Para reduzir o "tranco" nos transistores chaveadores durante o arranque, o surto de energia de arranque que ocorre durante a carga de partida dos capacitores deve ser reduzido. A disponibilidade do controle de tempo morto torna a implementação de um circuito de partida suave relativamente simples (ver Figura 38).

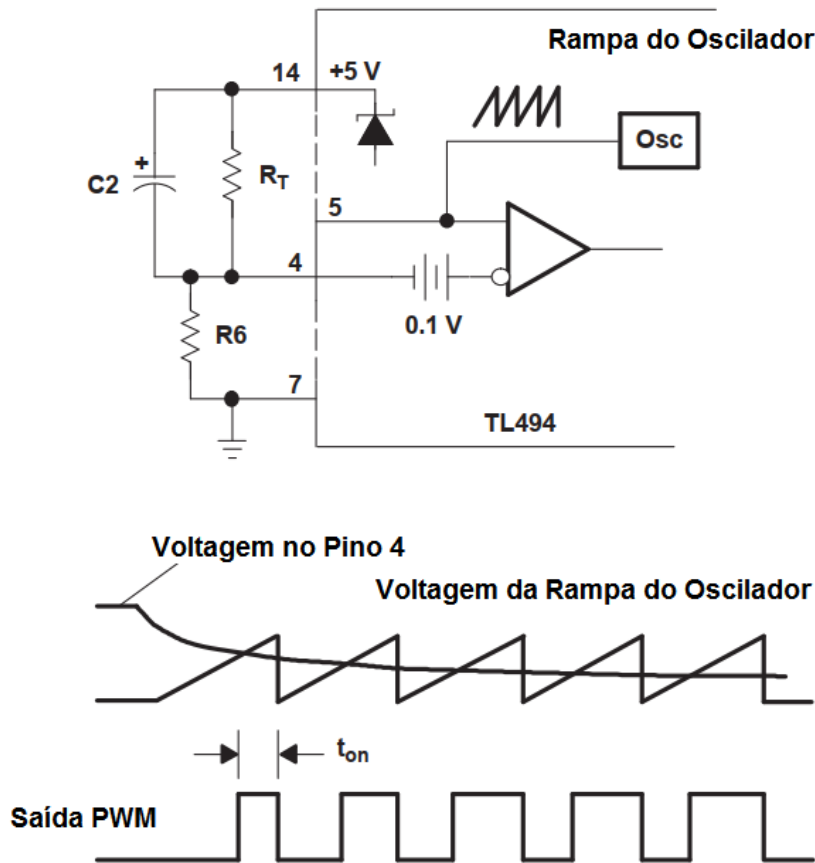



Figura 38. Circuito de Arranque

O circuito de arranque (partida) suave permite que a largura de pulso na saída aumente lentamente (veja a Fig. 38) aplicando um forma de onda de inclinação negativa para entrada de controle de tempo morto (pino 4).

Inicialmente, o capacitor C2 força a entrada de controle de tempo morto a seguir o regulador de 5 V, que desativa as saídas (100% de tempo morto). À medida que o capacitor carrega através do R6, a largura do pulso de saída aumenta lentamente até que o loop de controle assuma o comando. Com uma relação de resistor de 1:10 para R6 e R7, a tensão no pino 4 após a inicialização é de 0,1 × 5 V ou 0,5 V. O tempo de início suave geralmente está na faixa de 25 a 100 ciclos de clock. Com 50 ciclos de clock a 20 kHz a taxa de comutação é selecionada, o tempo de arranque suave será:

$$t = \frac{1}{f} = \frac{1}{20\ \text{kHz}} = 50\ \mu\text{s por ciclo de clock} \qquad (12)$$

O valor do capacitor será determinado por:

$$C2 = \frac{\text{tempo de arranque suave}}{R6} = \frac{50\ \mu\text{s} \times 50\ \text{cycles}}{1\ \text{k}\Omega} = 2.5\ \mu\text{F} \qquad (13)$$

Isso ajuda a eliminar quaisquer sinais falsos que possam ser criados pelo circuito de controle à medida que a energia é aplicada.

5.3 Cálculos do indutor

O circuito de comutação utilizado é mostrado na Figura 39

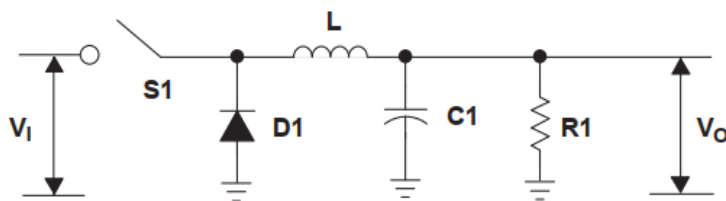



Figura 39. Circuito de Chaveamento

O tamanho do indutor (L) requerido será:

d = duty cycle = V_O/V_I = 5 V/32 V = 0.156

f = 20 kHz (objetivo do projeto)

t_{on} = tempo ligado (S1 fechada) = (1/f) × d = 7.8 µs

t_{off} = tempo desligado (S1 aberta) = (1/f) – ton = 42.2 µs

$L \not\approx (V_I - V_O) \times t_{on}/\Delta I_L$

$\not\approx [(32\text{ V} - 5\text{ V}) \times 7.8\ \mu\text{s}]/1.5\text{ A}$

$\not\approx 140.4\ \mu\text{H}$

5.4 Cálculos de capacitância de saída

Uma vez que o indutor do filtro tenha sido calculado, o valor do capacitor do filtro de saída é calculado para atender os requisitos de supressão de ruído gerado pela corrente alternada na saída (leia-se, ripple). Um capacitor eletrolítico pode ser modelado como uma conexão em série de um indutância, uma resistência e uma capacitância. Para fornecer uma boa filtragem, a frequência de ondulação deve estar longe abaixo das frequências em que a indutância em série se torna importante. Assim, os dois componentes de interesse são a capacitância e a resistência efetiva em série (ESR). A ESR máxima é calculada de acordo com a relação entre a tensão de ripple pico-a-pico especificada e a corrente de ripple pico-a-pico especificada.

$$\text{ESR(max)} = \frac{\Delta V_{O(\text{ripple})}}{\Delta I_L} = \frac{V}{1.5\text{ A}} = 0.067\ \Omega \qquad (14)$$

A capacitância mínima de C3 necessária para manter a tensão de ondulação VO a menos de 100 mV e dessa forma um dos objetivos do projeto é calculado de acordo com a Equação 15:

$$C3 = \frac{\Delta I_L}{8f\,\Delta V_O} = \frac{1.5\text{ A}}{8 \times 20 \times 10^3 \times 0.1\text{ V}} = 94\ \mu\text{F} \qquad (15)$$

Um capacitor de 220 mF e 60 V é selecionado porque tem uma ERA máxima (quando novo, é claro) de 0,074 Ω e uma corrente de ripple máxima de 2,8 A.

5.5 Cálculos do interruptor de alimentação do transistor

O interruptor de alimentação do transistor foi construído com um transistor de acionamento PNP NTE153 e um NPN NTE331 de saída. Esses dois dispositivos de energia foram conectados em uma configuração de Darlington híbrida, a qual envolve um PNP e outro NPN (veja a Figura 40)

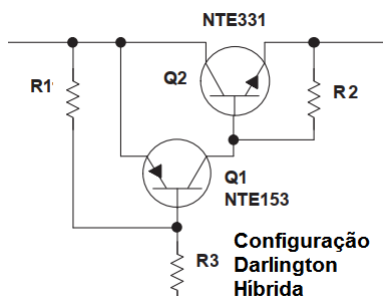
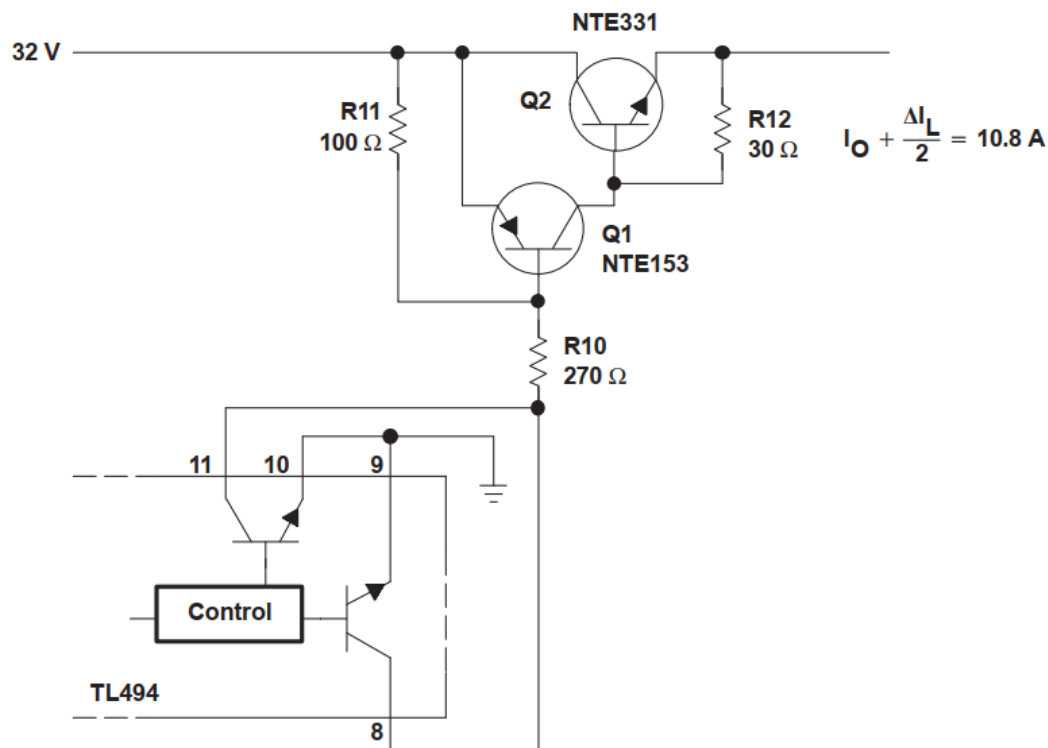



Figura 40. Seção de Chaveamento de Potência

O circuito Darlington híbrido deverá estar saturado a uma corrente de saída máxima de $I_O + \Delta I_L/2$ ou 10,8 A. O ganho (hFE) do Darlington 10,8 A deve ser alto o suficiente para não exceder a corrente máxima do coletor de saída de 250 mA do TL494. Com base nas especificações NTE153 e NTE331 publicadas, o interruptor de alimentação necessário a unidade mínima foi calculada pela Equação 16 através da Equação 18 para ser 144 mA. Em diversos projetos de fonte serão necessários transistores intermediários excitadores para amplificarem a corrente máxima de saída do TL494 (os tais 250mA) para a corrente de base mínima dos transistores de potência:

$$h_{FE}(Q1) \text{ para uma } I_C \text{ de } 3\text{ A} = 15 \qquad (16)$$

$$h_{FE}(Q2) \text{ para uma } I_C \text{ de } 10.0\text{ A} = 5 \qquad (17)$$

$$i_B \geq \frac{I_O + \frac{I_L}{2}}{h_{FE}(Q2) \times h_{FE}(Q1)} \geq 144\text{ mA} \qquad (18)$$

O valor de R10, enfim, será calculado como:

$$R10 \leq \frac{V_I - [V_{BE}(Q1) + V_{CE}(TL494)]}{i_B} = \frac{32 - (1.5 + 0.7)}{0.144}$$

$$R10 \leq 207\ \Omega \qquad (19)$$

Com base nesses cálculos, o valor do resistor padrão mais próximo de 220 Ω foi selecionado para R10. Os resistores R11 e R12 permitem a descarga de portadores nos transistores de chaveamento quando eles estão desligados. A fonte de alimentação descrita demonstra a flexibilidade do circuito de controle TL494 PWM. Este projeto da fonte de alimentação demonstra muitos dos métodos de controle da fonte de alimentação fornecidos pelo TL494, como bem como a versatilidade do circuito de controle.